

特性

集成小数N分频PLL的IQ调制器

输出频率范围：400 MHz至1,250 MHz

内部LO频率范围：750 MHz至1,150 MHz

输出P1dB：10.3 dBm (1,100 MHz)

输出IP3：30.1 dBm (1,100 MHz)

噪底：-159.4 dBm/Hz (1100 MHz)

基带带宽：750 MHz (3 dB)

通过SPI串行接口进行PLL编程

集成LDO和LO缓冲器

电源：5 V/240 mA

40引脚6 mm × 6 mm LFCSP封装

应用

蜂窝通信系统

GSM/EDGE、CDMA2000、W-CDMA、TD-SCDMA、
LTE

宽带无线接入系统

卫星调制解调器

概述

ADRF6701是一款正交调制器和频率合成器解决方案，尺寸仅6 mm × 6 mm，所需外部元件极少。

该器件设计提供400 MHz至1250 MHz的RF输出，并集成低相位噪声VCO和高性能正交调制器，非常适合新一代要求高信号动态范围和线性度的通信系统。由于集成IQ调制器、PLL和VCO，因此该器件不仅可以显著

节省电路板空间并减少BOM，而且还可以降低设计复杂度。

集成小数N分频PLL/频率合成器产生 $2 \times f_{LO}$ 输入，供给IQ调制器。鉴相器与外部环路滤波器一起用于控制VCO输出。VCO输出施加于正交分频器。为了减少杂散成分，可编程PLL分频器由一个ΣΔ调制器进行控制。

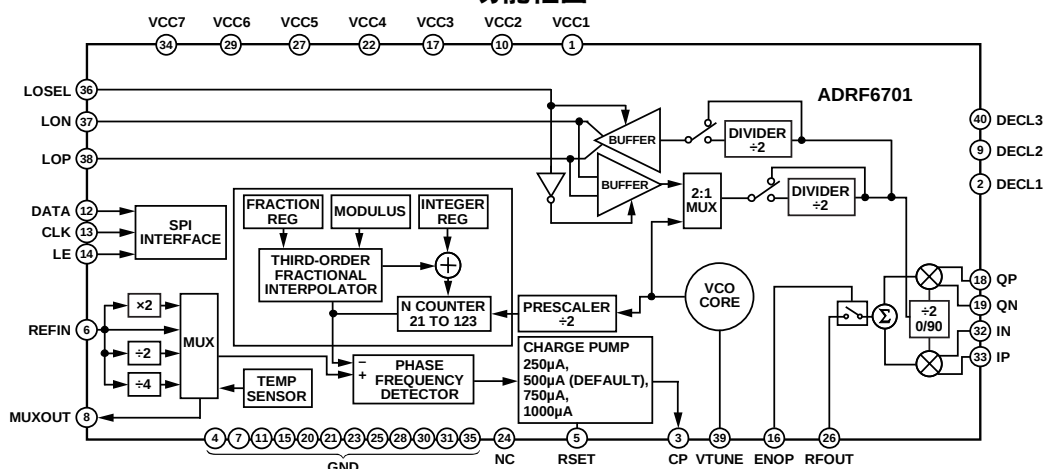
IQ调制器具有宽带差分I和Q输入，支持基带和复数中频架构。单端调制器输出设计用于驱动50 Ω负载阻抗，并且可以禁用。

ADRF6701采用先进的硅锗BiCMOS工艺制造，提供40引脚、裸露焊盘、无铅6 mm × 6 mm LFCSP封装。额定温度范围为-40°C至+85°C，同时提供无铅评估板。

表1.

产品型号	内部LO范围	IQ调制器±3 dB RF输出范围
ADRF6701	750 MHz 1150 MHz	400 MHz 1250 MHz
ADRF6702	1550 MHz	1200 MHz
ADRF6703	2150 MHz 2100 MHz	2400 MHz 1550 MHz
ADRF6704	2600 MHz 2500 MHz 290 MHz	2650 MHz 2050 3000 MHz

功能框图



NOTES
1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

图1.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011–2012 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	器件编程和寄存器序列	19
应用.....	1	寄存器汇总.....	20
概述.....	1	寄存器描述.....	21
功能框图.....	1	寄存器0—整数分频控制(默认值: 0x0001C0)	21
修订历史.....	2	寄存器1—模数分频控制(默认值: 0x003001)	22
技术规格.....	3	寄存器2—小数分频控制(默认值: 0x001802)	22
时序特性.....	6	寄存器3— Σ - Δ 调制器扰动控制(默认值: 0x10000B)	23
绝对最大额定值.....	7	寄存器4—PLL电荷泵、PFD和参考路径控制(默认值: 0x0AA7E4).....	24
ESD警告.....	7	寄存器5—LO路径和调制器控制 (默认值: 0x0000D5).....	26
引脚配置和功能描述.....	8	寄存器6—VCO控制和VCO使能 (默认值: 0x1E2106).....	27
典型性能参数.....	10	寄存器7—外部VCO使能和第二个LO分频器.....	27
工作原理.....	16	特性设置.....	28
PLL + VCO	16	评估板	30
工作基本连接.....	16	评估板控制软件.....	30
外部LO.....	16	外形尺寸.....	35
环路滤波器	17	订购指南.....	35
DAC与IQ调制器的接口.....	18		
增加限幅电阻.....	18		
IQ滤波.....	19		
宽带带通.....	19		

修订历史

2011年9月—修订版0：初始版

更改表1	1
更改“器件编程和寄存器序列”部分	19
更改图45	25

2012年6月—修订版0至修订版A

技术规格

除非另有说明, $V_S = 5\text{ V}$, $T_A = 25^\circ\text{C}$, 基带I/Q幅度 = 1 V p-p差分正弦波与500 mV直流偏置正交, 基带I/Q频率(f_{BB}) = 1 MHz, $f_{\text{PFD}} = 38.4\text{ MHz}$, $f_{\text{REF}} = 153.6\text{ MHz}$ (+4 dBm Re:50 Ω , 1 V p-p), 130 kHz环路滤波器。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
工作频率范围	IQ调制器($\pm 3\text{ dB}$ RF输出范围)	400		1250	MHz
	PLL LO范围	750		1150	MHz
RF输出 = 800 MHz	RFOUT引脚				
标称输出功率	基带VIQ = 1 V p-p差分		4.4		dBm
IQ调制器电压增益	RF输出由基带输入电压分频		0.4		dB
OP1dB			12.5		dBm
载波馈通			-49.9		dBm
边带抑制			-53.9		dBc
正交误差			-0.75		度
I/Q幅度平衡			0.03		dB
二次谐波	$P_{\text{OUT}} - P(f_{\text{LO}} \pm (2 \times f_{\text{BB}}))$		-81.9		dBc
三次谐波	$P_{\text{OUT}} - P(f_{\text{LO}} \pm (3 \times f_{\text{BB}}))$		-58.8		dBc
输出IP2	$f_{\text{1BB}} = 3.5\text{ MHz}$, $f_{\text{2BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} \approx -2\text{ dBm/信号音}$		>70		dBm
输出IP3	$f_{\text{1BB}} = 3.5\text{ MHz}$, $f_{\text{2BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} \approx -2\text{ dBm/信号音}$		30.8		dBm
本底噪声	I/Q输入 = 0 V差分和500 mV直流偏置, 20 MHz载波偏移		-157.9		dBm/Hz
RF输出 = 950 MHz	RFOUT引脚				
标称输出功率	基带VIQ = 1 V p-p差分		3.8		dBm
IQ调制器电压增益	RF输出由基带输入电压分频		-0.2		dB
OP1dB			11.2		dBm
载波馈通			-46.2		dBm
边带抑制			-45.4		dBc
正交误差			-0.5		度
I/Q幅度平衡			0.03		dB
二次谐波	$P_{\text{OUT}} - P(f_{\text{LO}} \pm (2 \times f_{\text{BB}}))$		-76.5		dBc
三次谐波	$P_{\text{OUT}} - P(f_{\text{LO}} \pm (3 \times f_{\text{BB}}))$		-59.1		dBc
输出IP2	$f_{\text{1BB}} = 3.5\text{ MHz}$, $f_{\text{2BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} \approx -2\text{ dBm/信号音}$		>70		dBm
输出IP3	$f_{\text{1BB}} = 3.5\text{ MHz}$, $f_{\text{2BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} \approx -2\text{ dBm/信号音}$		31.7		dBm
本底噪声	I/Q输入 = 0 V差分和500 mV直流偏置, 20 MHz载波偏移		-157.9		dBm/Hz
RF输出 = 1,100 MHz	RFOUT引脚				
标称输出功率	基带VIQ = 1 V p-p差分		2.1		dBm
IQ调制器电压增益	RF输出由基带输入电压分频		-1.9		dB
OP1dB			10.3		dBm
载波馈通			-49.9		dBm
边带抑制			-47.2		dBc
正交误差			-0.5		度
I/Q幅度平衡			0.03		dB
二次谐波	$P_{\text{OUT}} - P(f_{\text{LO}} \pm (2 \times f_{\text{BB}}))$		-77.7		dBc
三次谐波	$P_{\text{OUT}} - P(f_{\text{LO}} \pm (3 \times f_{\text{BB}}))$		-60.3		dBc
输出IP2	$f_{\text{1BB}} = 3.5\text{ MHz}$, $f_{\text{2BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} \approx -2\text{ dBm/信号音}$		>70		dBm
输出IP3	$f_{\text{1BB}} = 3.5\text{ MHz}$, $f_{\text{2BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} \approx -2\text{ dBm/信号音}$		30.1		dBm
本底噪声	I/Q输入 = 0 V差分和500 mV直流偏置, 20 MHz载波偏移		-159.4		dBm/Hz
频率合成器规格	频率合成器规格参考调制器输出				
内部LO范围		750		1150	MHz
品质因数(FOM) ¹			-222		dBc/Hz/Hz

ADRF6701

参数	测试条件/注释	最小值	典型值	最大值	单位
参考特性	REFIN、MUXOUT引脚				
REFIN输入频率		12		160	MHz
REFIN输入电容			4		pF
鉴相器频率		20		40	MHz
MUXOUT输出电平	低(选择锁定检测输出)			0.25	V
	高(选择锁定检测输出)	2.7			V
MUXOUT占空比			50		%
电荷泵					
电荷泵电流	可编程为250 μ A、500 μ A、750 μ A、1000 μ A		500		μ A
电荷泵电压		1		2.8	V
相位噪声(频率 = 800 MHz, $f_{\text{PFD}} = 38.4$ MHz)	闭环工作(环路滤波器设计见图35)				
	10 kHz偏移		-114		dBc/Hz
	100 kHz偏移		-112		dBc/Hz
	1 MHz偏移		-135		dBc/Hz
	10 MHz偏移		-154		dBc/Hz
积分相位噪声	积分带宽1 kHz到10 MHz		0.09		$^{\circ}$ rms
参考杂散	$f_{\text{PFD}}/2$		-113		dBc
	f_{PFD}		-101		dBc
	$f_{\text{PFD}} \times 2$		-99		dBc
	$f_{\text{PFD}} \times 3$		-108		dBc
	$f_{\text{PFD}} \times 4$		-99		dBc
相位噪声(频率 = 950 MHz, $f_{\text{PFD}} = 38.4$ MHz)	闭环工作(环路滤波器设计见图35)				
	10 kHz偏移		-112		dBc/Hz
	100 kHz偏移		-111		dBc/Hz
	1 MHz偏移		-133		dBc/Hz
	10 MHz偏移		-153		dBc/Hz
积分相位噪声	积分带宽1 kHz到10 MHz		0.11		$^{\circ}$ rms
参考杂散	$f_{\text{PFD}}/2$		-113		dBc
	f_{PFD}		-106		dBc
	$f_{\text{PFD}} \times 2$		-104		dBc
	$f_{\text{PFD}} \times 3$		-100		dBc
	$f_{\text{PFD}} \times 4$		-107		dBc
相位噪声(频率 = 1,100 MHz, $f_{\text{PFD}} = 38.4$ MHz)	闭环工作(环路滤波器设计见图35)				
	10 kHz偏移		-113		dBc/Hz
	100 kHz偏移		-108		dBc/Hz
	1 MHz偏移		-135		dBc/Hz
	10 MHz偏移		-153		dBc/Hz
积分相位噪声	积分带宽1 kHz到10 MHz		0.12		$^{\circ}$ rms
参考杂散	$f_{\text{PFD}}/2$		-112		dBc
	f_{PFD}		-93		dBc
	$f_{\text{PFD}} \times 2$		-93		dBc
	$f_{\text{PFD}} \times 3$		-105		dBc
	$f_{\text{PFD}} \times 4$		-103		dBc
RF输出谐波	RFOUT端测量, 频率 = 1,100 MHz				
	二次谐波		-61		dBc
	三次谐波		-73		dBc

参数	测试条件/注释	最小值	典型值	最大值	单位
LO输入/输出	LOP, LON				
输出频率范围	LO路径中的4分频电路使能	750		1150	MHz
	LO路径中的2分频电路禁用	1500		2300	MHz
	LO路径中的分频器禁用	3000		4600	MHz
950 MHz时的LO输出电平	2× LO或1× LO模式, 驱动到50 Ω负载, LO缓冲器使能		2.5		dBm
LO输入电平	外部施加的2× LO, PLL禁用		0		dBm
LO输入阻抗	外部施加的2× LO, PLL禁用		50		Ω
基带输入	IP、IN、QP、QN引脚				
I和Q输入直流偏置电平		400	500	600	mV
带宽	$P_{OUT} \approx -7$ dBm, 校准消除IQ调制器输出的RF平坦度		350		MHz
	0.5 dB		750		MHz
	3 dB		920		Ω
差分输入阻抗			1		pF
差分输入电容					
逻辑输入	CLK、DATA、LE、ENOP、LOSEL				
输入高电压 V_{INH}		1.4		3.3	V
输入低电压 V_{INL}		0		0.7	V
输入电流 I_{INH}/I_{INL}			0.1		μA
输入电容 C_{IN}			5		pF
温度传感器	VPTAT电压在MUXOUT端测量				
输出电压	$T_A = 25^\circ\text{C}$, $R_L \geq 10$ kΩ(LO缓冲器禁用)		1.63		V
温度系数	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$, $R_L \geq 10$ kΩ		3.75		mV/°C
电源	VCC1, VCC2, VCC3, VCC4, VCC5, VCC6, VCC7				
电压范围		4.75	5	5.25	V
电源电流	正常Tx模式(PLL和IQMOD使能, LO缓冲器禁用)		240		mA
	使用外部LO输入的Tx模式(内部VCO/PLL禁用)		130		mA
	Tx模式(LO缓冲器使能)		290		mA
	掉电模式		22		μA

¹ 品质因数(FOM)的计算方法为: 相位噪声(dBc/Hz) - 10log10(f_{PFD}) - 20log10(f_{LO}/f_{PFD})。FOM在整个LO范围内测量, 条件: $f_{REF} = 80$ MHz,

f_{REF} 功率 = 10 dBm(压摆率500 V/μs, 40 MHz f_{PFD})。FOM在50 kHz偏移下计算。

ADRF6701

时序特性

表3.

参数	限值	单位	测试条件/注释
t ₁	20	ns(最小值)	LE到CLK建立时间
t ₂	10	ns(最小值)	DATA到CLK建立时间
t ₃	10	ns(最小值)	DATA到CLK保持时间
t ₄	25	ns(最小值)	CLK高电平持续时间
t ₅	25	ns(最小值)	CLK低电平持续时间
t ₆	10	ns(最小值)	CLK到LE建立时间
t ₇	20	ns(最小值)	LE脉冲宽度

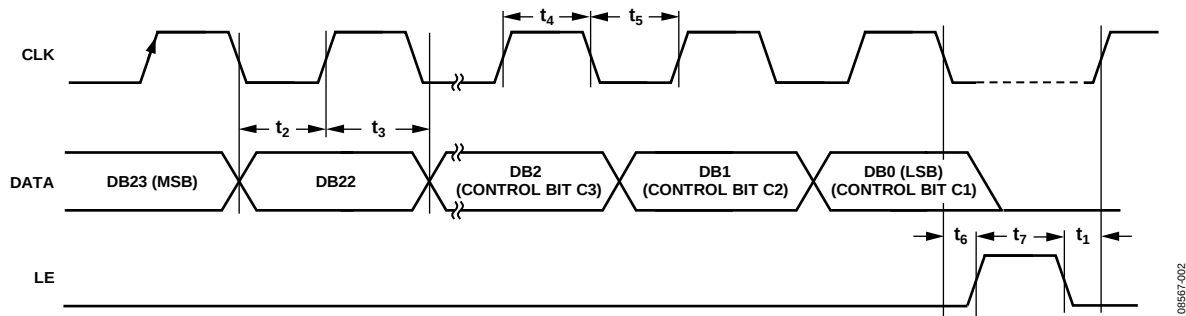


图2. 时序图

www.BDTIC.com/cn/adi

绝对最大额定值

表4.

参数	额定值
电源电压(VCC1到VCC7)	5.5 V
数字I/O、CLK、DATA、LE	-0.3 V至+3.6 V
LOP, LON	18 dBm
IP, IN, QP, QN	-0.5 V至+1.5 V
REFIN	-0.5 V至+3.6 V
θ_{JA} (裸露焊盘焊接到下方) ¹	35°C/W
最高结温	150°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C

¹ 根据JEDEC标准JESD 51-2。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

www.BDTIC.com/cn/adi

引脚配置和功能描述

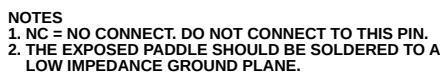


图3. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1, 10, 17, 22, 27, 29, 34	VCC1, VCC2, VCC3, VCC4, VCC5, VCC6, VCC7	电源引脚。电源电压范围为4.75 V至5.25 V。从同一电源电压驱动所有这些引脚。通过引脚附近的100 pF和0.1 μF电容给各引脚去耦。
2	DECL1	内部3.3 V LDO的去耦节点。通过引脚附近的100 pF和0.1 μF电容给此引脚去耦。
3	CP	电荷泵输出引脚。通过环路滤波器将VTUNE连接到此引脚。如果使用外部VCO，则应将环路滤波器的输出连接到VCO的电压控制引脚，然后通过LON和LOP引脚将VCO的频率输出接回ADRF6701，使PLL控制环路闭合。
4, 7, 11, 15, 20, 21, 23, 25, 28, 30, 31, 35	GND	地。这些引脚连接到低阻抗接地层。
24	NC	请勿连接该引脚。
5	RSET	电荷泵电流。使用寄存器4的DB10和DB11并将DB18置0(CP参考源)，可以将标称电荷泵电流设置为250 μA、500 μA、750 μA或1000 μA。这种模式下不需要外部RSET。如果DB18置1，则可以根据下式从外部调整四个标称电荷泵电流($I_{NOMINAL}$): $R_{SET} = \left(\frac{217.4 \times I_{CP}}{I_{NOMINAL}} \right) \quad 37.8 \Omega$ 其中 I_{CP} 为电荷泵基本电流，单位为毫安(mA)。有关电荷泵电流的更多信息，请参见“寄存器4—PLL电荷泵、PFD和参考路径控制”部分。
6	REFIN	基准输入。标称输入电平为1 V p-p。输入范围为12 MHz至160 MHz。此引脚具有高输入阻抗，应交流耦合。如果REFIN通过实验室测试设备驱动，则该引脚应利用50 Ω电阻外部端接(将交流耦合电容置于该引脚与该电阻之间)。当从50 Ω RF信号发生器驱动时，推荐输入电平为4 dBm。
8	MUXOUT	多路复用器输出。通过该输出，可以从外部访问数字锁定检测信号、与绝对温度成比例的电压(VPTAT)或缓冲的频率缩放参考信号。输出由寄存器4中的DB21至DB23编程情况进行选择。
9	DECL2	2.5 V LDO的去耦节点。在该引脚与地之间连接100 pF、0.1 μF和10 μF电容。
12	DATA	串行数据输入。串行数据输入以MSB优先方式加载，三个LSB用作控制位。

引脚编号	引脚名称	引脚名称
13	CLK	串行时钟输入。此串行时钟输入用来将串行数据逐个输入寄存器。数据在CLK上升沿锁存到24-bit移位寄存器内。最大时钟频率为20 MHz。
14	LE	锁存使能。当LE输入引脚变为高电平时，移位寄存器中存储的数据加载到6个寄存器之一，相关的锁存器由24-bit字的前3个控制位选择。
16	ENOP	调制器输出使能/禁用。参见表6。
18, 19, 32, 33	QP, QN, IN, IP	调制器基带输入。差分同相和正交基带输入。这些输入应直流偏置0.5 V。
26	RFOUT	RF输出。单端50 Ω 内部偏置RF输出。RFOUT必须交流耦合到其负载。
36	LOSEL	LO选择。该数字输入引脚确定LOP和LON引脚是用作输入还是输出。该引脚不能悬空。如果LOSEL引脚设为低电平且寄存器5的LDRV位设为低电平，则LOP和LON用作输入。除了将LOSEL和LDRV设为低电平并提供外部 $2 \times LO$ 之外，寄存器5的LXL位(DB4)必须设为1才能将外部LO导向IQ调制器。当LOSEL为高电平或寄存器5的LDRV位(DB3)设为1时，LON和LOP用作输出。将寄存器5的LDIV位(DB5)设为1或0时，分别可以选择 $1 \times LO$ 或 $2 \times LO$ 输出(参见表7)。
37, 38	LON, LOP	本振输入/输出。内部产生的 $1 \times LO$ 或 $2 \times LO$ 通过这些引脚提供。内部LO发生器禁用时，可以将外部 $1 \times LO$ 或 $2 \times LO$ 施加于这些引脚。
39	VTUNE	VCO控制电压输入。此引脚由环路滤波器的输出驱动。该引脚的标称输入电压范围为1.3 V至2.5 V。如果激活外部VCO模式，则该引脚可以保持开路。
40	DECL3	VCO LDO的去耦节点。应在此引脚与地之间连接一个100 nF电容和一个10 μF 电容。裸露焊盘。应将裸露焊盘焊接到低阻抗接地层。

表6. 使能RFOUT

ENOP	寄存器5的Bit DB6	RFOUT
X ¹	0	禁用
0	X ¹	禁用
1	1	使能

¹X = 无关位。

表7. LO端口配置^{1, 2}

LON/LOP功能	LOSEL	寄存器5的Bit DB5 (LDIV)	寄存器5的Bit DB4 (LXL)	寄存器5的Bit DB3 (LDRV)	寄存器7的Bit DB4 (LDIV2)
输入($4 \times LO$)	0	X	1	0	0
输入($2 \times LO$)	0	X	1	0	1
输出(禁用)	0	X	0	0	X
输出($1 \times LO$)	0	0	0	1	0
输出($1 \times LO$)	1	0	0	0	0
输出($1 \times LO$)	1	0	0	1	0
输出($2 \times LO$)	0	1	0	1	0
输出($2 \times LO$)	1	1	0	0	0
输出($2 \times LO$)	1	1	0	1	0

¹X = 无关位。

²LOSEL不能悬空。

典型性能参数

除非另有说明, $V_S = 5\text{ V}$, $T_A = 25^\circ\text{C}$, 基带I/Q幅度 = 1 V p-p差分正弦波与500 mV直流偏置正交, 基带I/Q频率(f_{BB}) = 1 MHz, $f_{\text{PFD}} = 38.4\text{ MHz}$, $f_{\text{REF}} = 153.6\text{ MHz}$ (+4 dBm Re:50 Ω , 1 V p-p), 130 kHz环路滤波器。

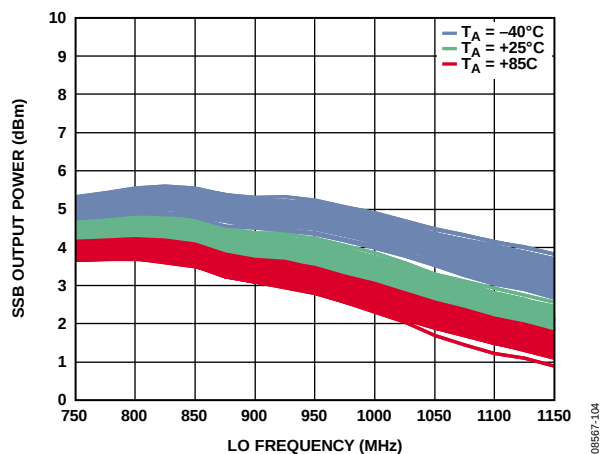


图4. 单边带(SSB)输出功率(P_{OUT})与LO频率(f_{LO})和温度的关系(多个器件)

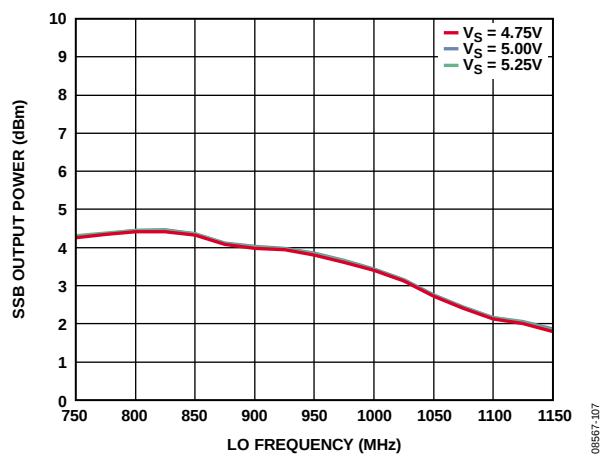


图7. 单边带(SSB)输出功率(P_{OUT})与LO频率(f_{LO})和电源的关系(多个器件)

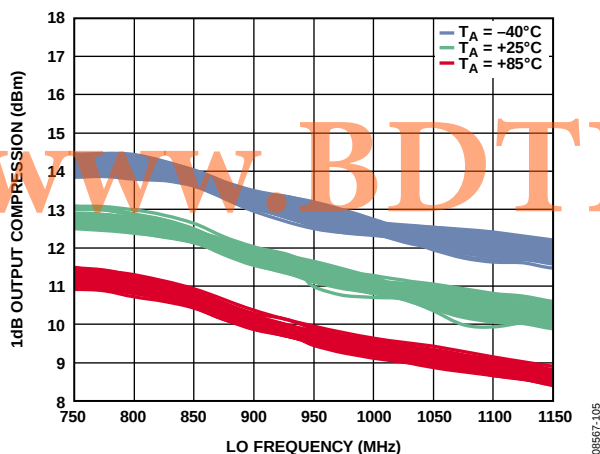


图5. SSB输出1dB压缩点(OP1dB)与LO频率(f_{LO})和温度的关系(多个器件)

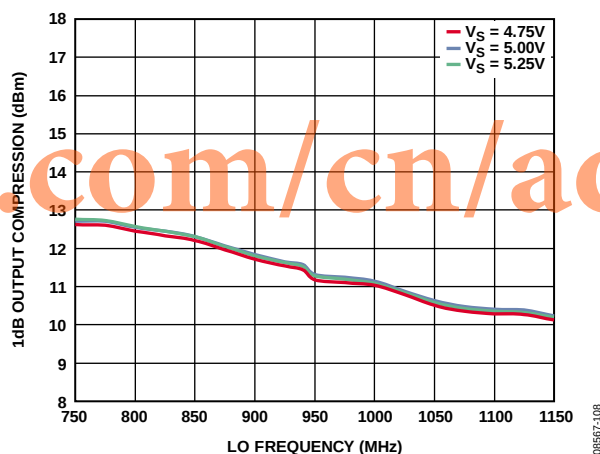


图8. SSB输出1dB压缩点(OP1dB)与LO频率(f_{LO})和电源的关系

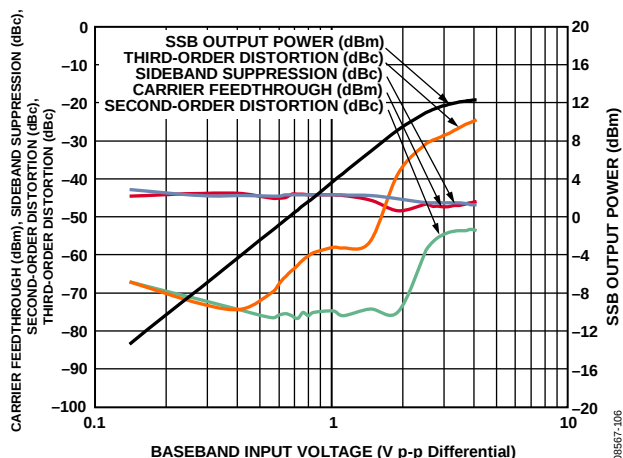


图6. SSB输出功率、二阶和三阶失真、载波馈通、边带抑制与基带差分输入电压的关系($f_{\text{OUT}} = 950\text{ MHz}$)

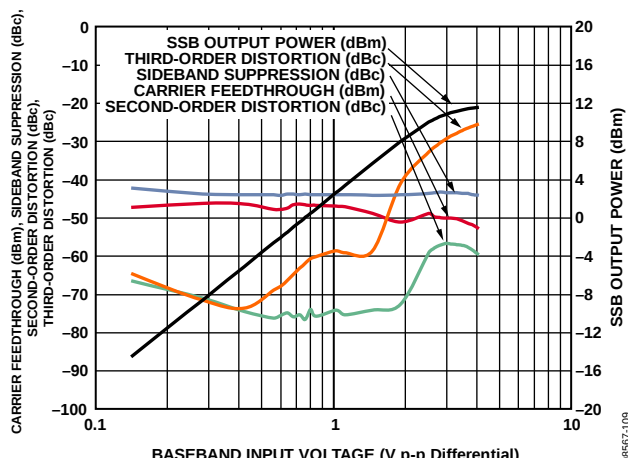


图9. SSB输出功率、二阶和三阶失真、载波馈通、边带抑制与基带差分输入电压的关系($f_{\text{OUT}} = 1,100\text{ MHz}$)

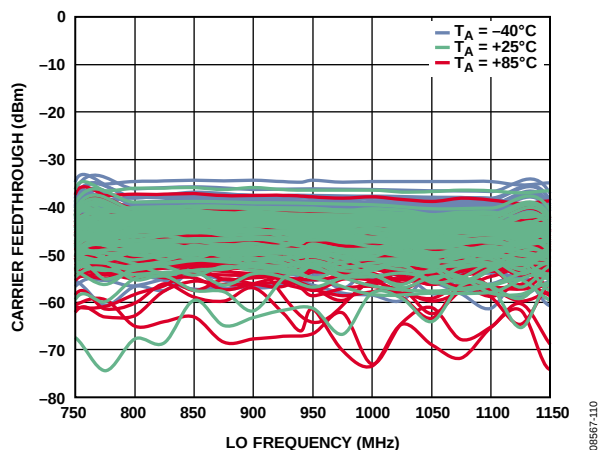


图10. 载波馈通与LO频率(f_{LO})和温度的关系 (多个器件)

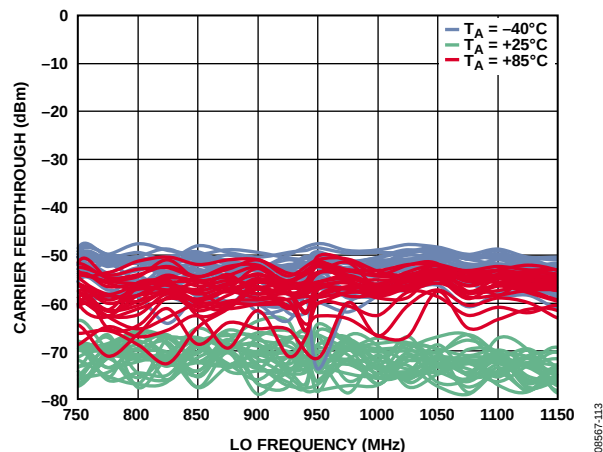


图13. 25dBm调零后载波馈通与LO频率(f_{LO})和温度的关系 (多个器件)

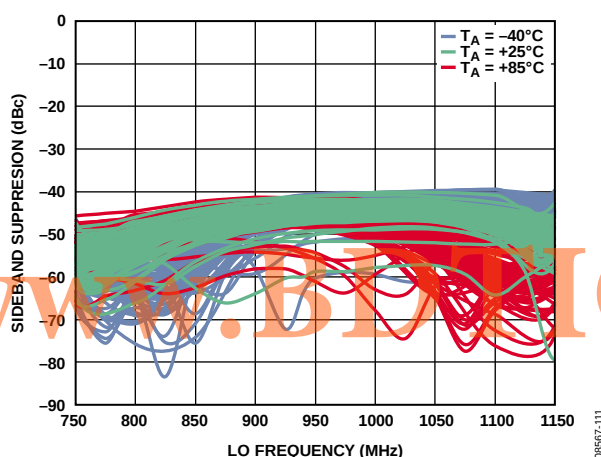


图11. 边带抑制与LO频率(f_{LO})和温度的关系 (多个器件)

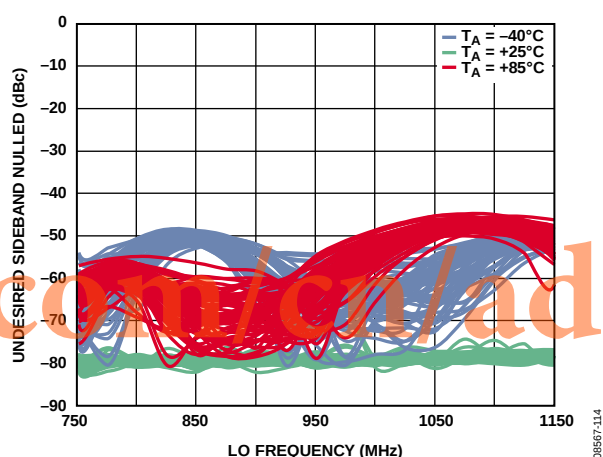


图14. 25dBm调零后边带抑制与LO频率(f_{LO})和温度的关系 (多个器件)

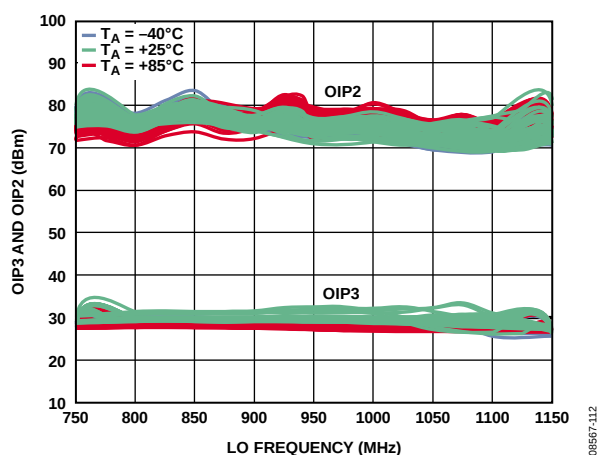


图12. OIP3和OIP2与LO频率(f_{LO})和温度的关系 ($P_{OUT} \approx -2$ dBm/信号音, 多个器件)

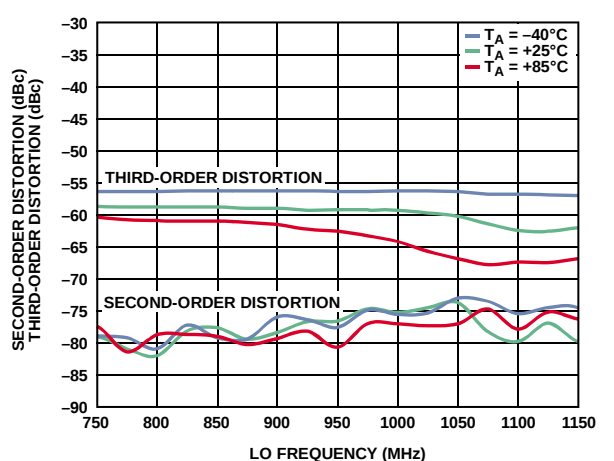


图15. 二阶和三阶失真与LO频率(f_{LO})和温度的关系

ADRF6701

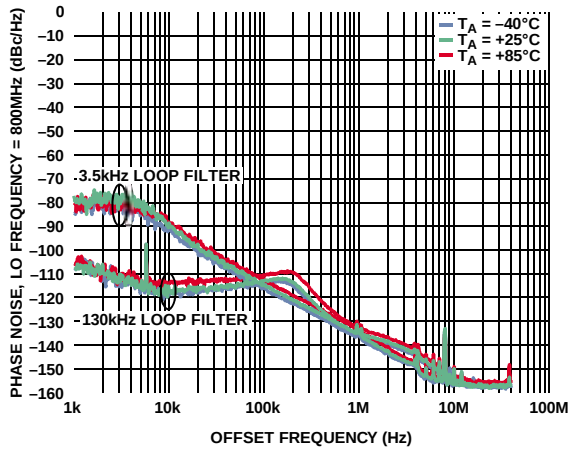


图16. 相位噪声与偏移频率和温度的关系($f_{LO} = 800$ MHz)

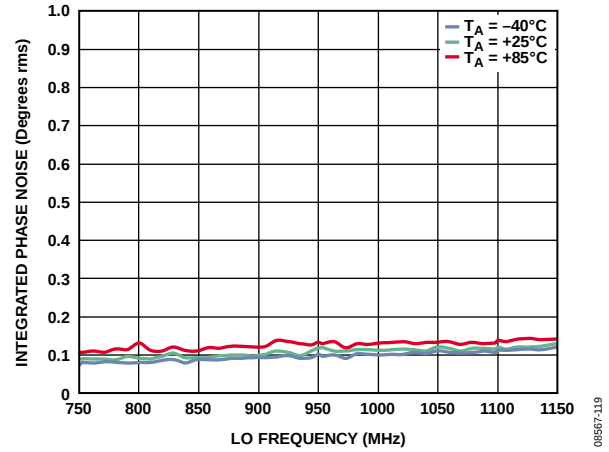


图19. 积分相位噪声与LO频率的关系

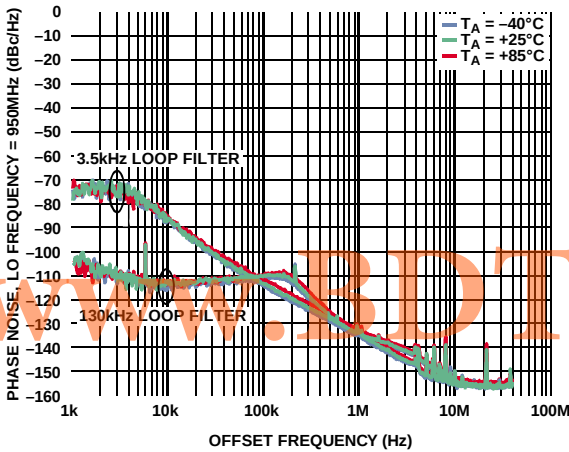


图17. 相位噪声与偏移频率和温度的关系($f_{LO} = 950$ MHz)

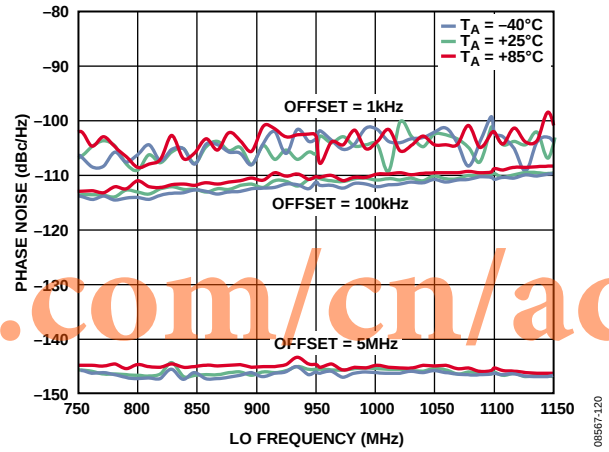


图20. 1 kHz、100 kHz和5 MHz偏移下相位噪声与LO频率的关系

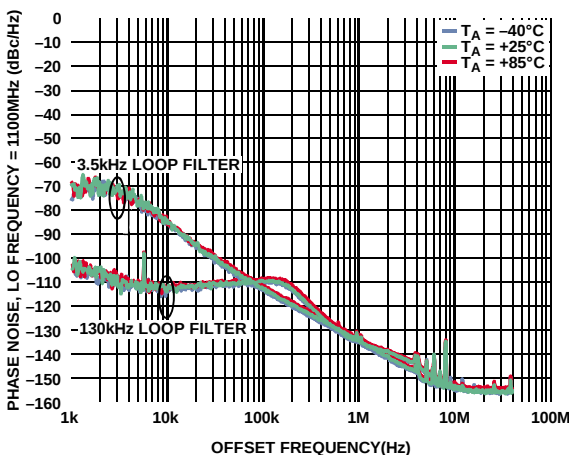


图18. 相位噪声与偏移频率和温度的关系($f_{LO} = 1,100$ MHz)

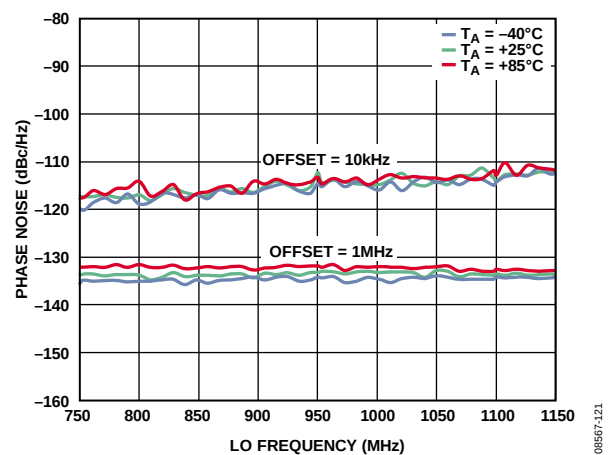


图21. 10 kHz和1 MHz偏移下相位噪声与LO频率的关系

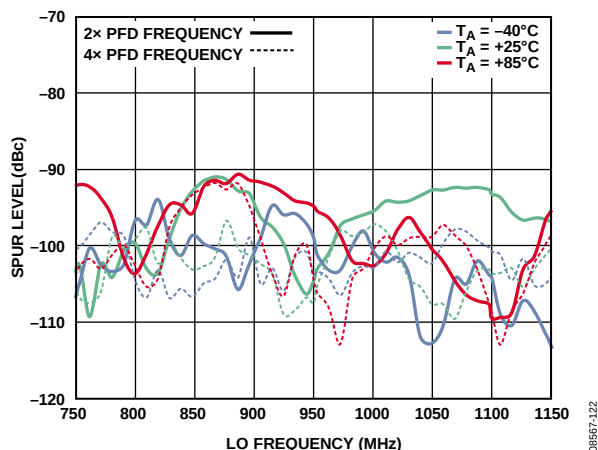


图22. 调制器输出端PLL参考杂散与LO频率的关系(2×PFD和4×PFD)

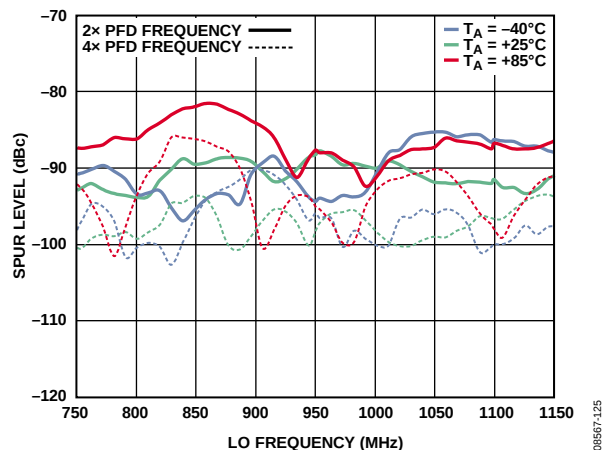


图25. LO输出端PLL参考杂散与LO频率的关系(2×PFD和4×PFD)

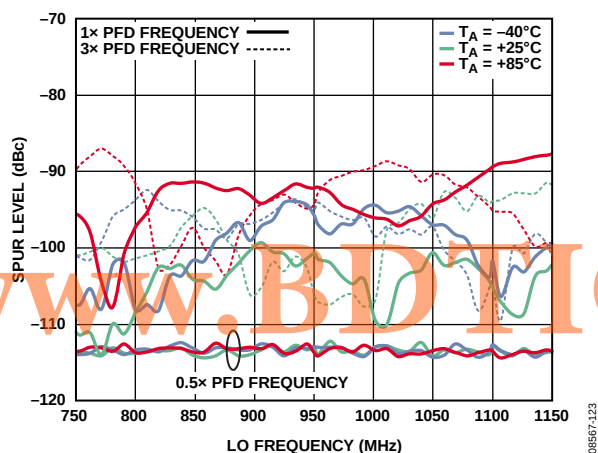


图23. 调制器输出端PLL参考杂散与LO频率的关系(0.5×PFD、1×PFD和3×PFD)

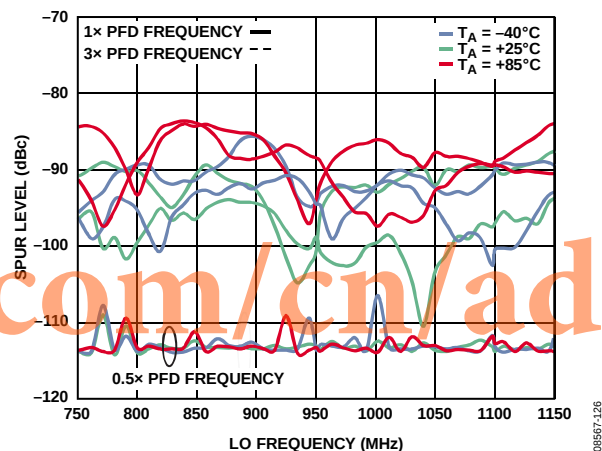


图26. LO输出端PLL参考杂散与LO频率的关系(0.5×PFD、1×PFD和3×PFD)

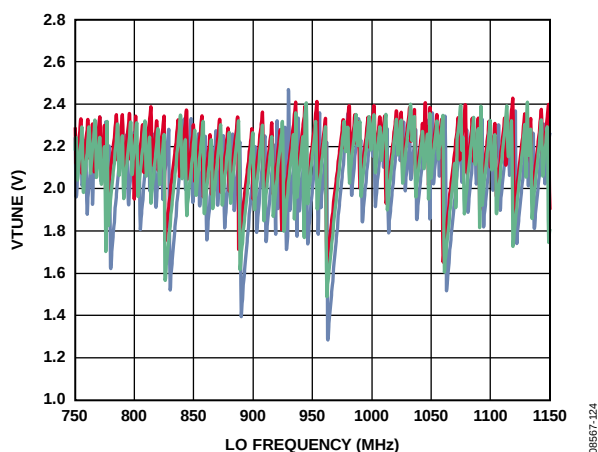


图24. VTUNE与LO频率和温度的关系

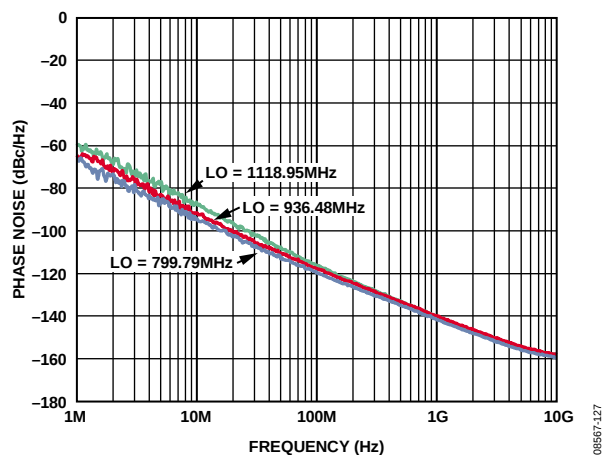


图27. 开环VCO相位噪声(799.79 MHz、936.48 MHz和1,118.95 MHz)

ADRF6701

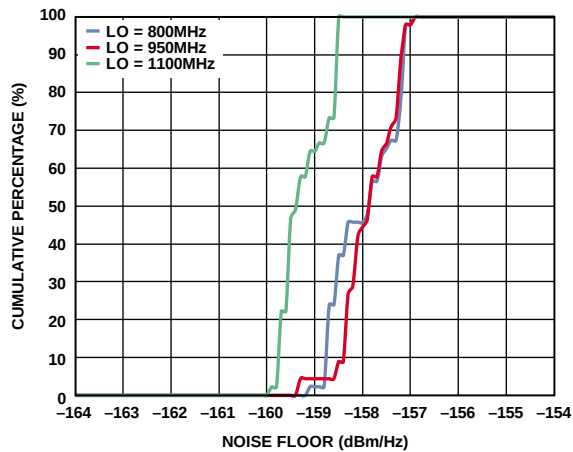


图28. IQ调制器本底噪声累积分布(800 MHz、950 MHz和1,100 MHz)

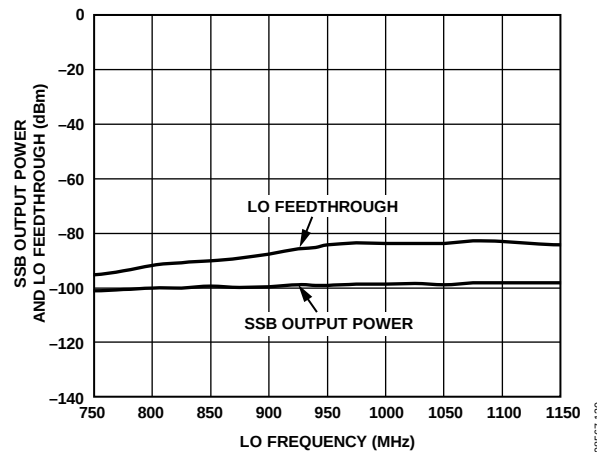


图30. RF输出禁用时的SSB输出功率和LO馈通

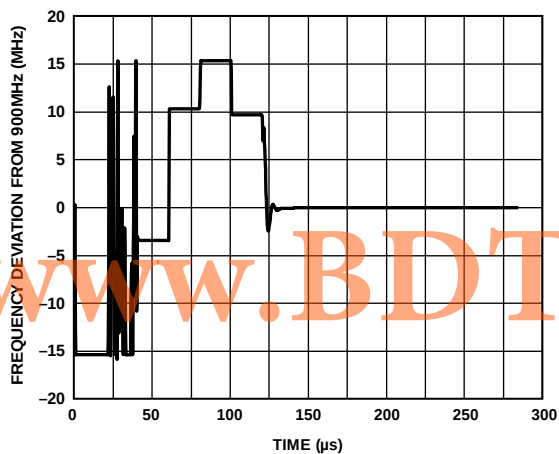


图29. LO = 1.97 GHz至1.96 GHz时相对于LO频率的偏差与锁定时间的关系

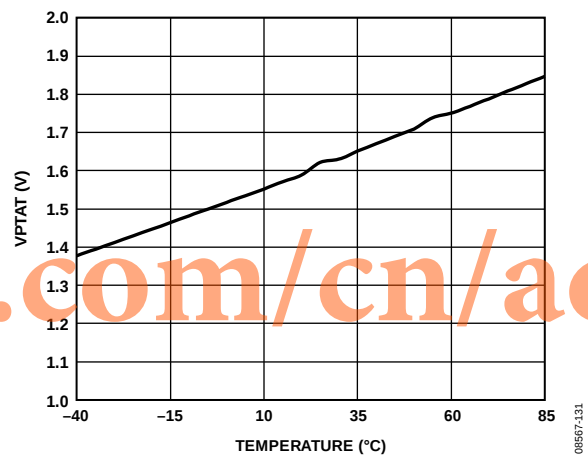


图31. VPTAT电压与温度的关系

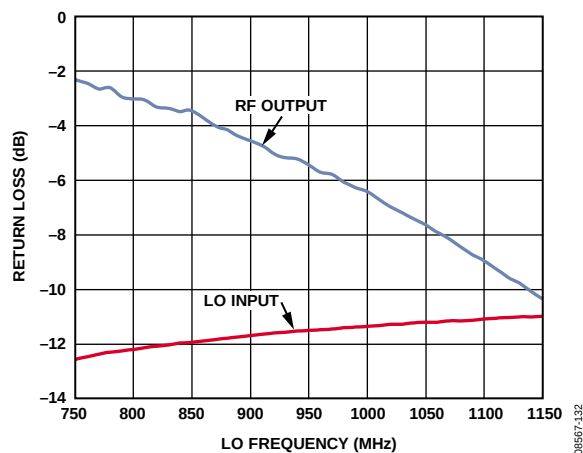


图32. LO输入的输入回损(LON、LOP通过MABA-007159 1:1巴伦驱动)和RFOUT的输出回损与频率的关系

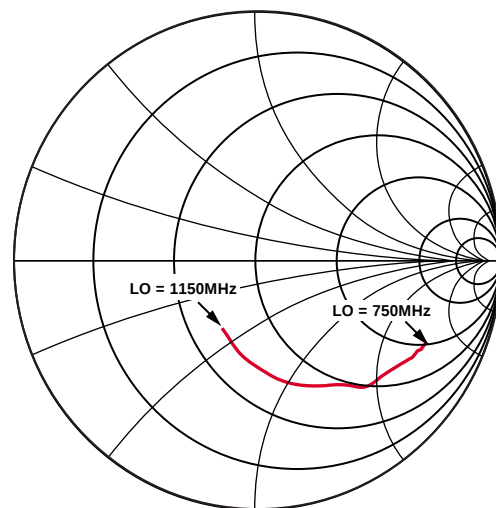


图34. RF输出的史密斯图表现形式

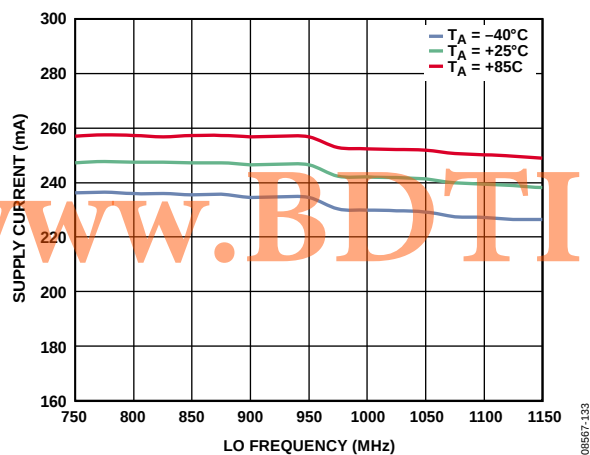


图33. 电源电流与频率和温度的关系(PLL和IQMOD使能, LO缓冲器禁用)

ADRF6701

工作原理

ADRF6701集高性能IQ调制器与先进的小数N分频PLL于一体，此外还集成了一个低噪声VCO。利用可编程SPI端口，用户可以控制小数N分频PLL功能和调制器优化功能，包括采用外部施加的LO或VCO进行工作的能力。

ADRF6701的正交调制器内核是ADI公司新一代业界领先的调制器的一部分。高性能NPN晶体管将基带输入转换为电流，然后混频至RF。集成RF变压器巴伦将混频器输出电流转变为单端RF输出。高性能有源混频器内核与低损耗RF变压器巴伦相结合，实现了优异的OIP3和OP1dB性能、极低的输出本底噪声和出色的动态范围。用无源变压器巴伦代替有源输出级可以改善OIP3性能，同时不影响本底噪声。在950 MHz时，ADRF6701提供的典型性能包括：10 dBm的输出P1dB、32 dBm的OIP3和-157.8 dBm/Hz的输出本底噪声。这些条件下的典型镜像抑制为-44 dBc，无需额外的I和Q增益补偿。

PLL + VCO

PLL的小数分频功能允许从REFIN到LOP/LON输出的倍频值是一个小数值，而不必是传统PLL所要求的整数值。在实际工作中，此倍频值为 $INT + (FRAC/MOD)$ ，其中INT是整数值，FRAC是小数值，MOD是模数值，所有这些值都可以通过SPI端口进行编程。在以前的小数N分频PLL设计中，小数倍频功能是以确定的方式周期性改变小数值而实现的。这种方法的缺点是常常会产生接近基波信号的杂散成分。ADRF6701使用一个 Σ - Δ 调制器来随机分配小数值，因而小数分频功能引起的杂散成分得以显著减少。

用于工作的基本连接

图35显示了ADRF6701在评估板上工作的基本连接。7个电源引脚各自应通过100 pF和0.1 μ F电容进行去耦，这些电容应尽可能靠近相应的电源引脚。此外还建议使用一个10 μ F电容。3个内部去耦节点(分别标为DECL3、DECL2和DECL1)各自应通过电容去耦，如图35所示。

4路I和Q输入应采用500 mV的偏置电平驱动，这些输入一般直流耦合到双通道DAC的输出(有关更多信息，请参见“DAC与IQ调制器的接口”和“IQ滤波”部分)。

在I和Q输入上施加1 V p-p (0.353 V rms)的差分正弦波，将在RFOUT引脚上产生+4.1 dBm(950 MHz时)的单边带输出功率(此引脚应交流耦合，如图35所示)，这相当于-0.2 dB的IQ调制器电压增益。

PLL的参考频率(通常是12 MHz到160 MHz范围内的1 V p-p信号)应施加于REFIN引脚，该引脚应交流耦合。如果REFIN引脚采用50 Ω 信号源(例如实验室信号发生器)驱动，则该引脚应采用50 Ω 电阻端接，如图35所示(应施加+4 dBm的RF驱动电平)。REFIN信号的倍数或分数频率可以在多路复用器输出引脚(MUXOUT)上从片外引回。通过设置寄存器4的适当位(DB21-DB23)，也可以从该引脚引出锁定检测信号和与环境温度成比例的模拟电压信号(请参见“寄存器描述”部分)。

外部LO

通过置位LOSEL引脚并对内部寄存器进行适当地设置，内部产生的本振(LO)信号可以作为1 $\times$ LO、2 $\times$ LO或4 $\times$ LO输出引出片外(通过LOP和LON引脚)。当IQ调制器的RF输出禁用时，LO输出必须禁用。

LOP和LON引脚也可以用来施加外部LO信号。当旁路内部PLL/VCO或需要采用外部VCO工作时，可以这样做。若要关闭PLL，必须将寄存器6的Bits[20:17]置0。

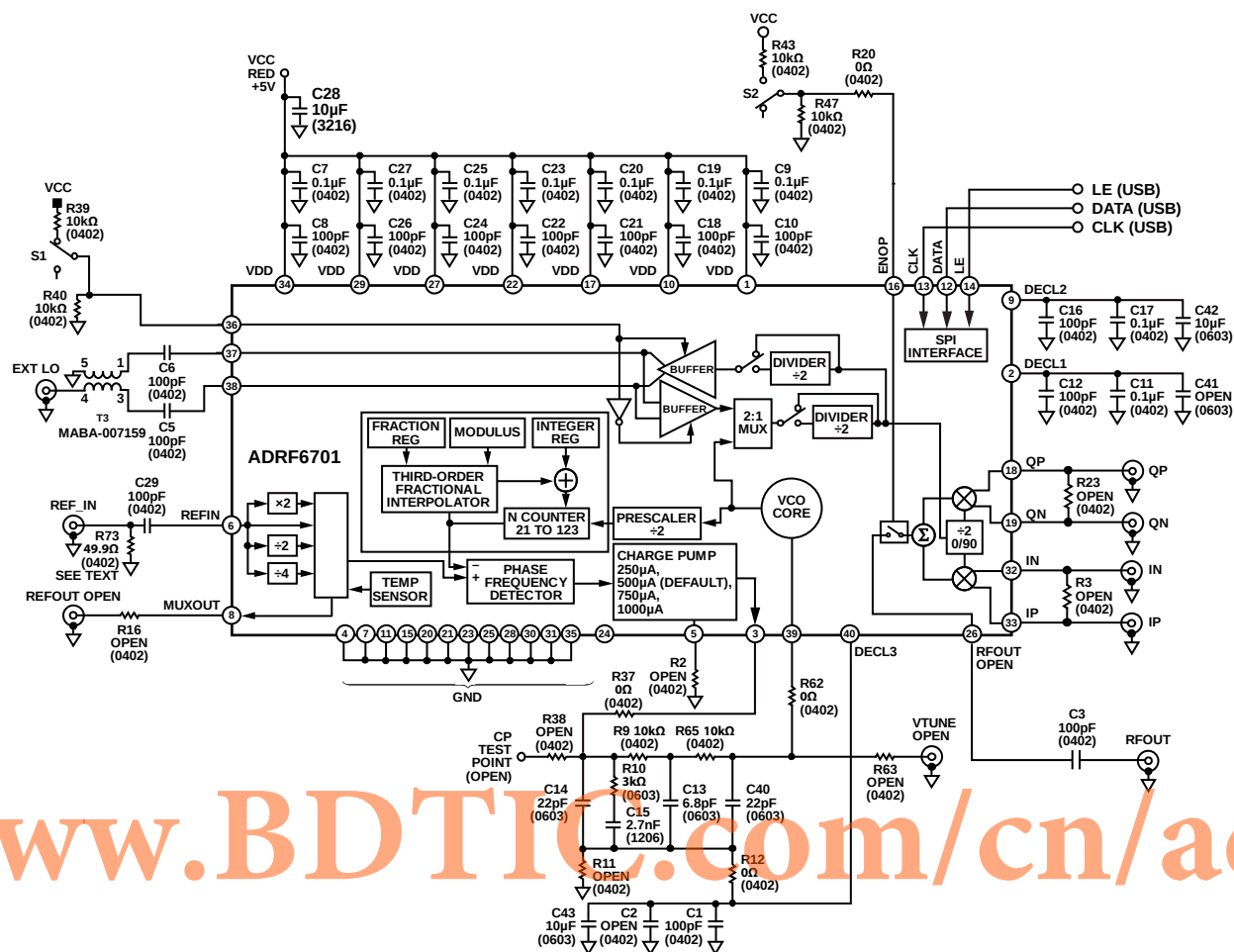


图35. 用于工作的基本连接(环路滤波器设置为130 kHz)

环路滤波器

环路滤波器连接在CP和VTUNE引脚之间。其回路应连接到引脚40 (DECL3)。在图35所示的环路滤波器设计中，3 dB环路带宽为130 kHz。ADRF6701闭环噪声特性也利用一个3.5 kHz环路滤波器设计来测试。这两种滤波器设计的推荐元件如表8所示。欲设计具有其他特性的环路滤波器，请从www.analog.com/adisimply下载最新版本的ADIsimPLL™以获得帮助。可以采用外部VCO工作，这种情况下，环路滤波器的回路接地(假设外部VCO调谐输入有一个接地基准)。环路滤波器的输出连到外部VCO的调谐引脚。VCO的输出通过LOP和LON引脚引出器件(必要时可使用巴伦)。

表8. 环路滤波器的推荐元件

元件	130 kHz环路滤波器	3.5 kHz环路滤波器
C14	22 pF	0.1 μF
R10	3 kΩ	68 Ω
C15	2.7 nF	4.7 μF
R9	10 kΩ	270 Ω
C13	6.8 pF	47 nF
R65	10 kΩ	0 Ω
C40	22 pF	开路
R37	0 Ω	0 Ω
R11	开路	开路
R12	0 Ω	0 Ω

ADRF6701

DAC与IQ调制器的接口

ADRF6701设计用于通过极少的器件与ADI公司的TxDAC®系列产品接口，这些双通道差分电流输出DAC提供0 mA至20 mA的输出电流摆幅。本部分所述的接口适用于任何具有类似输出的DAC。

图36所示为使用AD9122 TxDAC的接口示例。ADRF6701的基带输入需要500 mV的直流偏置。AD9122各输出端的平均输出电流为10 mA。因此，从DAC各输出端连接一个50 Ω电阻到地，就能使10 mA的平均电流流过各电阻，从而产生ADRF6701输入所需的500 mV直流偏置。

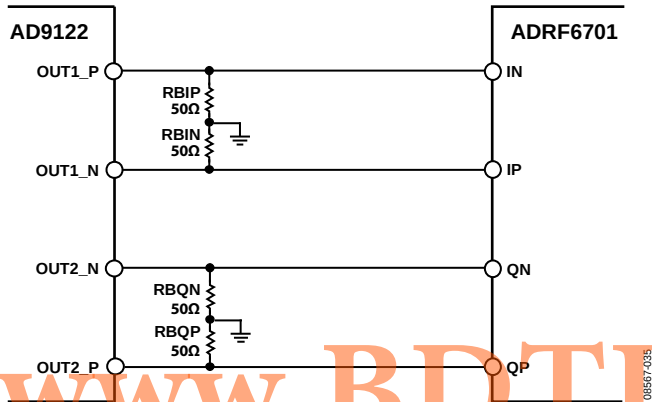


图36. AD9122与ADRF6701的接口。50 Ω电阻接地以建立ADRF6701基带输入所需的500 mV直流偏置

AD9122输出电流的摆幅范围是0 mA至20 mA。连接50 Ω电阻时，进入ADRF6701基带输入的交流电压摆幅为0 V至1 V(DAC工作在0 dBFS)。因此，在500 mV直流偏置下，各差分对提供的驱动信号为2 V p-p差分。

增加限幅电阻

给接口增加第三个电阻，可以降低给定DAC输出电流的电压摆幅。如图37所示，该电阻放置在各差分对两侧之间，用作分流电阻，具有减小交流摆幅的作用，但不会改变已由50 Ω电阻确立的直流偏置电压。

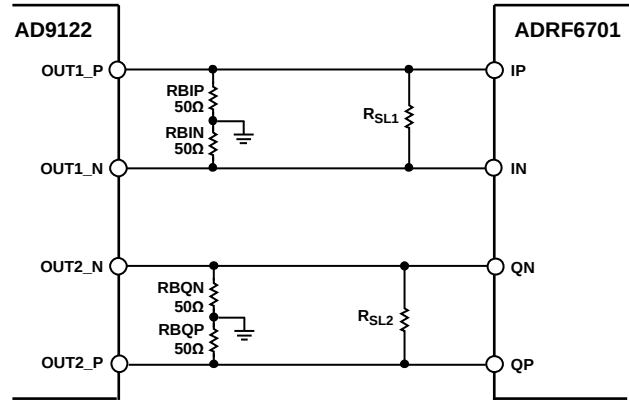


图37. 通过差分对之间的分流电阻降低电压摆幅

该交流电压限幅电阻的值(图37所示的 R_{SL})根据所需的交流电压摆幅和IQ调制器输出功率来选择。图38所示为使用50 Ω偏置设置电阻时，限幅电阻与其产生的峰峰值交流摆幅之间的关系。使用更高阻值的限幅电阻可以提高ADRF6701的输出功率 and 信噪比(SNR)，但交调失真也会提高。对于大多数应用，此电阻的最佳值在100 Ω到300 Ω之间。

确定限幅电阻的大小时，还应考虑I和Q输入的输入阻抗。I和Q输入具有920 Ω的差分输入阻抗。因此，限幅电阻的有效值为920 Ω与所选限幅电阻并联的结果。例如，如果所需的限幅电阻为200 Ω(基于图37)，则 R_{SL} 的值应通过下式确定：

$$200 \Omega = (920 \times R_{SL}) / (920 + R_{SL})$$

因此， R_{SL} 为255 Ω。

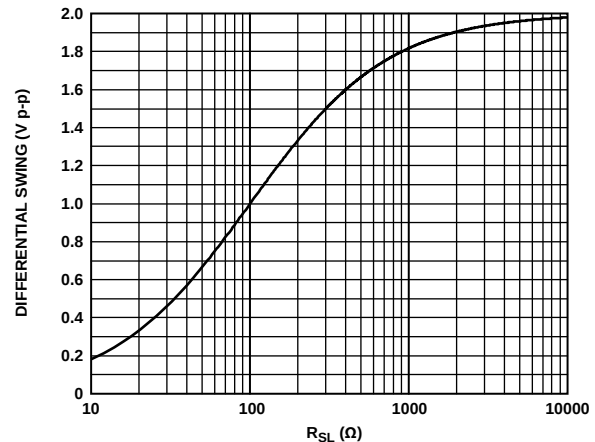


图38. 使用50 Ω偏置设置电阻时，交流限幅电阻与峰峰值电压摆幅之间的关系

IQ滤波

DAC与调制器之间必须放置一个抗混叠滤波器，以滤除奈奎斯特镜像和宽带DAC噪声。“增加限幅电阻”部分所述的用于设置偏置和交流摆幅的接口正适合连接这种滤波器，可以将该滤波器插入直流偏置设置电阻与交流限幅电阻之间，这样就能确立该滤波器的输入和输出阻抗。

除非选择100 Ω 的限幅电阻，否则必须设计滤波器以支持不同的信号源和负载阻抗。此外，滤波器设计还应考虑I和Q输入的差分输入电容(1 pF)。现代滤波器设计工具支持利用不同的信号源和负载阻抗以及电抗性负载元件来模拟和设计滤波器。

基带带宽

图39显示了ADRF6701基带输入的频率响应。从该图可知，0.5 dB和3 dB带宽分别为350 MHz和750 MHz。测量中已通过校准消除ADRF6701 RF输出频率范围内的任何平坦度变化。

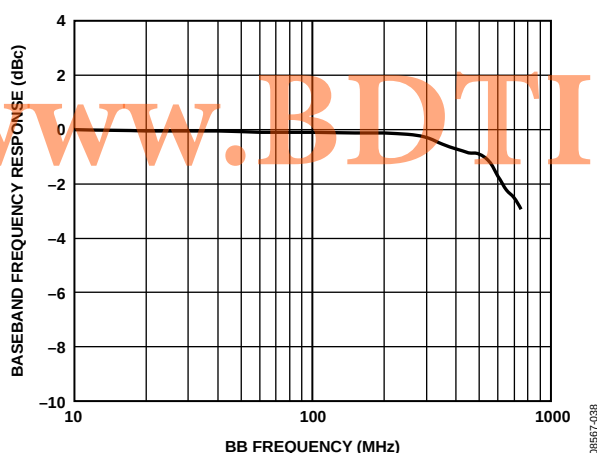


图39. 基带带宽

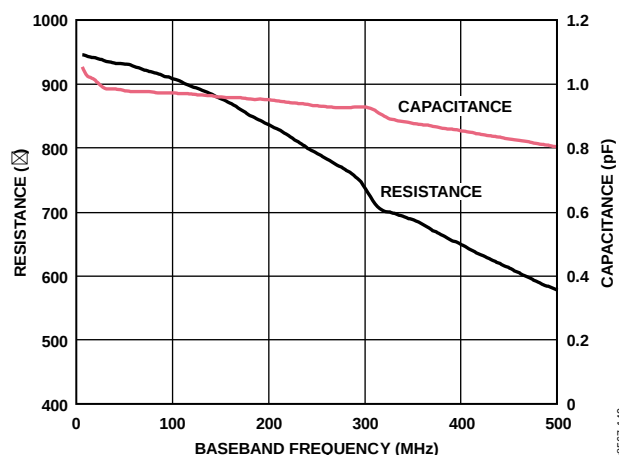


图40. 差分基带输入R和C(分流R, 分流C)

器件编程和寄存器序列

该器件通过一个三线式SPI端口进行编程。SPI端口的时序要求如表3和图2所示。

8个可编程寄存器(各有24 bits)控制器件的操作。各寄存器的功能如表9所示。最初对8个寄存器进行编程时，应采用倒序，即从寄存器7开始，到寄存器0结束。完成所有8个寄存器的最初编程后，就可以更新任何寄存器，而不必考虑顺序。

ADI公司网站(www.analog.com)的ADRF6701产品页面提供了编程软件，支持从运行Windows® XP或Windows Vista的PC对评估板进行编程。

要在Windows XP、Windows Vista或者Windows 7(32或64位)为确保正常工作，必须安装Windows .NET 3.5或更高版本。要在Windows 7 PC中运行软件，必须使用XP仿真模式(使用虚拟PC)。

寄存器汇总

表9. 寄存器功能

寄存器	功能
寄存器0	整数分频控制(用于PLL)
寄存器1	模数分频控制(用于PLL)
寄存器2	小数分频控制(用于PLL)
寄存器3	Σ-Δ调制器扰动控制
寄存器4	PLL电荷泵、PFD和参考路径控制
寄存器5	LO路径和调制器控制
寄存器6	VCO控制和VCO使能
寄存器7	外部VCO使能

www.BDTIC.com/cn/adi

寄存器描述

寄存器0—整数分频控制（默认值：0x0001C0）

寄存器0的Bits[2:0]设置为000时，片内整数分频控制寄存器的编程方式如图41所示。

分频模式

分频模式决定使用小数模式还是整数模式。在整数模式下，RF VCO输出频率(f_{VCO})通过下式进行计算：

$$f_{VCO} = 2 \times f_{PFD} \times (INT)$$
 (1)

其中：

f_{VCO} 是内部VCO的输出频率。

f_{PFD} 是鉴频鉴相器的工作频率。

INT 是整数分频比值（整数模式下为21到123）。

整数分频比

整数分频比值用于设置等式2中的整数值。利用INT、FRAC和MOD的值，可以产生间隔为PFD频率的分数的输出频率。VCO频率(f_{VCO})计算公式为：

$$f_{VCO} = 2 \times f_{PFD} \times (INT + (FRAC/MOD))$$
 (2)

其中：

INT 是预设的整数分频比值（小数模式下为24到119）。

MOD 是预设的小数模数（1至2047）。

$FRAC$ 是预设的小数分频比值（0至MOD - 1）。

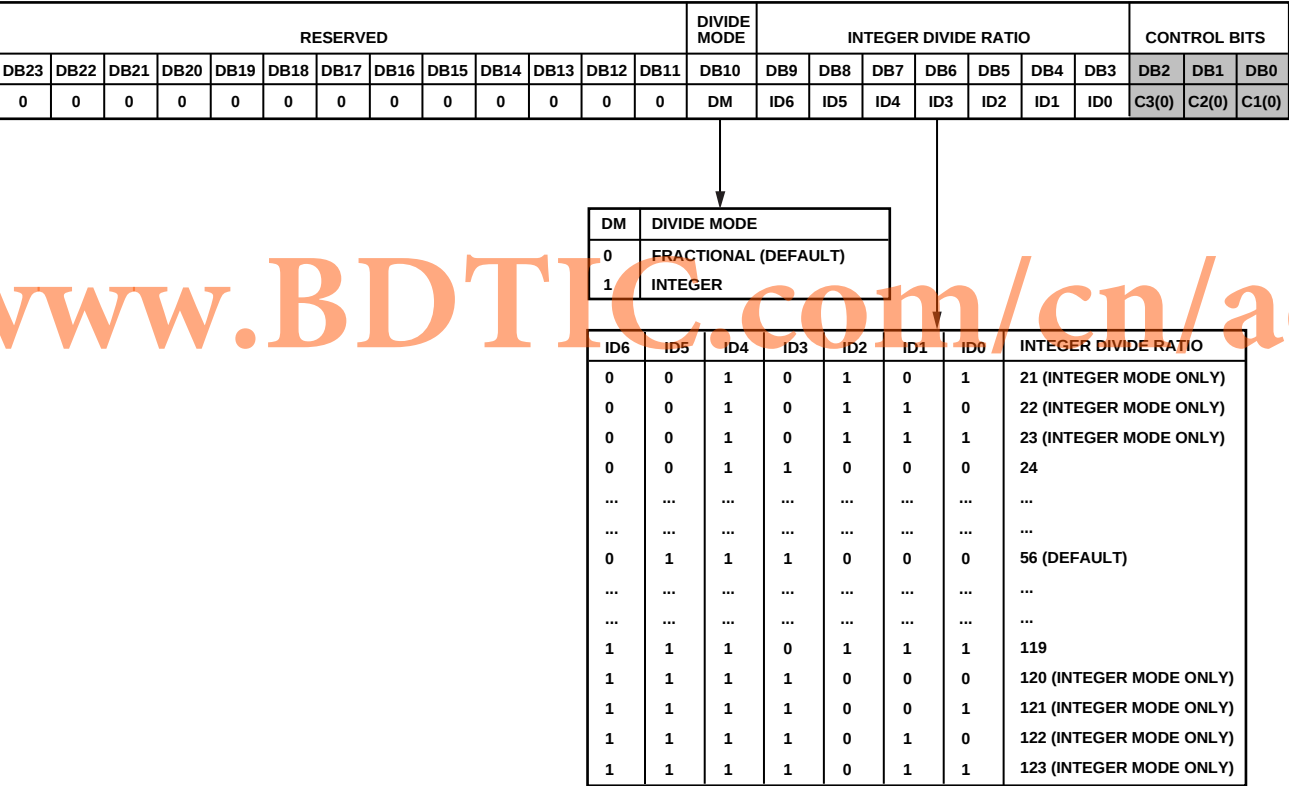


图41. 寄存器0—整数分频控制寄存器映射

ADRF6701

寄存器1—模数分频控制（默认值：0x003001）

寄存器1的Bits[2:0]设置为001时，片内模数分频控制寄存器的编程方式如图42所示。

模数值

模数值是预设的小数模数，范围为1至2047。

寄存器2—小数分频控制（默认值：0x001802）

寄存器2的Bits[2:0]设置为010时，片内小数分频控制寄存器的编程方式如图43所示。

小数值

FRAC值是预设的小数模数，范围为0至<MDR。

RESERVED										MODULUS VALUE										CONTROL BITS			
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	MD10	MD9	MD8	MD7	MD6	MD5	MD4	MD3	MD2	MD1	MD0	C3(0)	C2(0)	C1(1)

MD10

MD9

MD8

MD7

MD6

MD5

MD4

MD3

MD2

MD1

MD0

MODULUS VALUE

0	0	0	0	0	0	0	0	0	0	1	1	
0	0	0	0	0	0	0	0	0	0	1	0	2
...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...
1	1	0	0	0	0	0	0	0	0	0	0	1536 (DEFAULT)
...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...
1	1	1	1	1	1	1	1	1	1	1	1	2047

图42. 寄存器1—模数分频控制寄存器映射

RESERVED										FRACTIONAL VALUE										CONTROL BITS			
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0	C3(0)	C2(1)	C1(0)
										FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0	FRAC VALUE		
										0	0	0	0	0	0	0	0	0	0	0	0		
										0	0	0	0	0	0	0	0	0	0	1	1		
										...	...	...	...	...	...	...	...	...	...	...	...		
										...	...	...	...	...	...	...	...	...	...	...	...	768 (DEFAULT)	
										0	1	1	0	0	0	0	0	0	0	0	...		
										...	...	...	...	...	...	...	...	...	...	...	...		
										...	...	...	...	...	...	...	...	...	...	...	...		
										...	...	...	...	...	...	...	...	...	...	...	<MDR		

FRACTIONAL VALUE MUST BE LESS THAN MODULUS.

图43. 寄存器2—小数分频控制寄存器映射

寄存器3—Σ-Δ调制器扰动控制(默认值：
0x10000B)

寄存器3的Bits[2:0]设置为011时，片内Σ-Δ调制器扰动控制寄存器的编程方式如图44所示。扰动使能的推荐设置

和默认设置均为使能(1)。扰动幅度的默认值为15，推荐值为1。
扰动重启值可以在0至217 – 1范围内设置，通常情况下的推荐值为1。

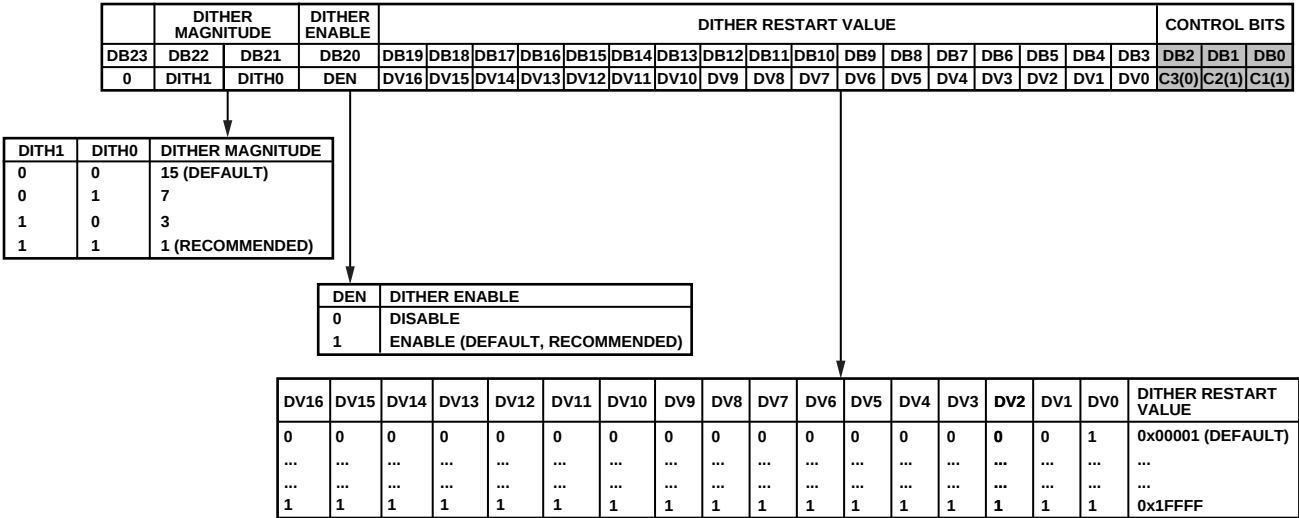


图44. 寄存器3—Σ-Δ调制器扰动控制寄存器映射

ADRF6701

寄存器4—PLL电荷泵、PFD和参考路径控制 (默认值: 0x12A7E4)

寄存器4的Bits[2:0]设置为100时，片内电荷泵、PFD和参考路径控制寄存器的编程方式如图45所示。

电荷泵电流

使用寄存器4的DB10和DB11并将DB18置0(CP参考源)，可以将标称电荷泵电流设置为250 μ A、500 μ A、750 μ A或1000 μ A。

这种模式下不需要外部RSET。如果DB18置1，则可以根据下式从外部调整四个标称电荷泵电流($I_{NOMINAL}$)：

$$R_{SET} = \left(\frac{217.4 \times I_{CP}}{I_{NOMINAL}} \right) 37.8 \Omega \tag{3}$$

其中 I_{CP} 为电荷泵基本电流，单位为毫安(mA)。

PFD相位偏移倍数($\theta_{PFD,OFF}$)由寄存器4的Bits[16:12]设置，它会导致PLL锁定PFD参考信号与分频VCO信号之间的标称固定相位偏移。该相位偏移用于使PFD到CP传

递函数线性化，并且能改善小数杂散性能。相位偏移的幅度由下式确定：

$$|\Delta\Phi|(\text{deg}) = 22.5 \frac{\theta_{PFD,OFF}}{I_{CP,MULT}} \tag{4}$$

相位偏移倍数的默认值为 $10 \times 22.5^\circ$ ，推荐值为 $6 \times 22.5^\circ$ 。该相位偏移可以是正值，也可以是负值，具体取决于寄存器4中DB17的值。

施加于PFD的参考频率可以利用内部参考路径源来调整。所施加的外部参考频率可以内部缩放2倍、1倍、0.5倍、或0.25倍，这就使得参考频率的选择范围更广，同时施加于PFD的参考频率仍然在可接受的范围以内。

该器件还有一个MUXOUT引脚，可以设置它输出多个内部信号中的一个。默认模式是提供锁定检测输出，以便用户能够确认PLL何时锁定目标频率。此外还可以让多个其他内部信号通过MUXOUT引脚输出，如图35所示。

www.BDTIC.com/cn/adi

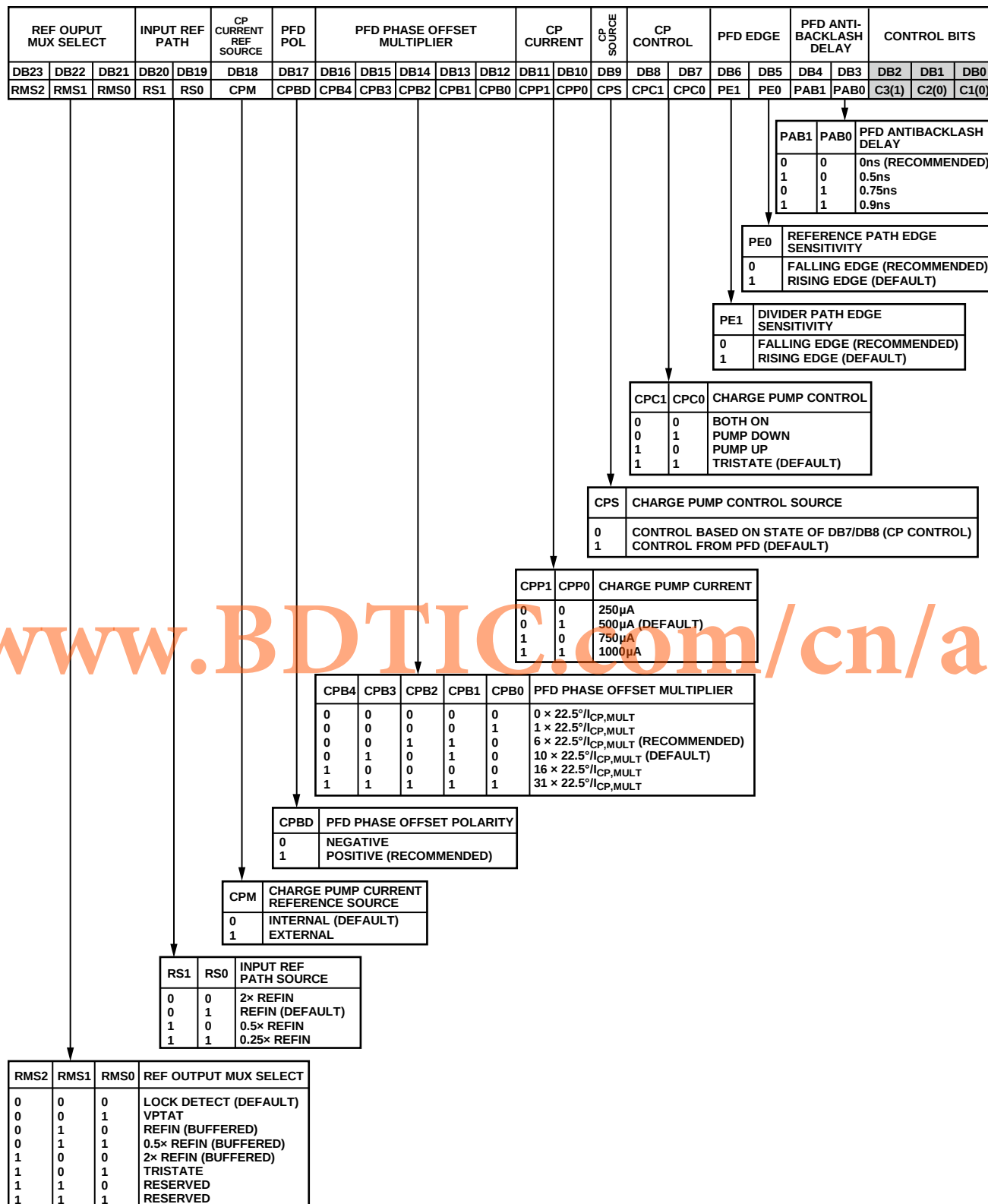


图45. 寄存器4—PLL电荷泵、PFD和参考路径控制寄存器映射

ADRF6701

寄存器5—LO路径和调制器控制(默认值： 0X0000E5)

寄存器5的Bits[2:0]设置为101时，LO路径和调制器控制寄存器的编程方式如图46所示。

利用寄存器5的调制器偏置使能和调制器输出使能地址，可以禁用调制器输出或整个调制器。

LO端口(LOP和LON引脚)可用来将一个外部2× LO或4× LO (即旁路内部PLL)信号施加于IQ调制器。推荐使用0 dBm的差分LO驱动。

表10. LO端口配置^{1,2}

LON/LOP功能	LOSEL	寄存器5的Bit DB5 (LDIV)	寄存器5的Bit DB4 (LXL)	寄存器5的Bit DB3 (LDRV)	寄存器7的Bit DB4 (LDIV2)
输入(4× LO)	0	X	1	0	0
输入(2× LO)	0	X	1	0	1
输出(禁用)	0	X	0	0	X
输出(1× LO)	0	0	0	1	0
输出(1× LO)	1	0	0	0	0
输出(1× LO)	1	0	0	1	0
输出(2× LO)	0	1	0	1	0
输出(2× LO)	1	1	0	0	0
输出(2× LO)	1	1	0	1	0

¹ X = 无关位。

² LOSEL不能悬空。

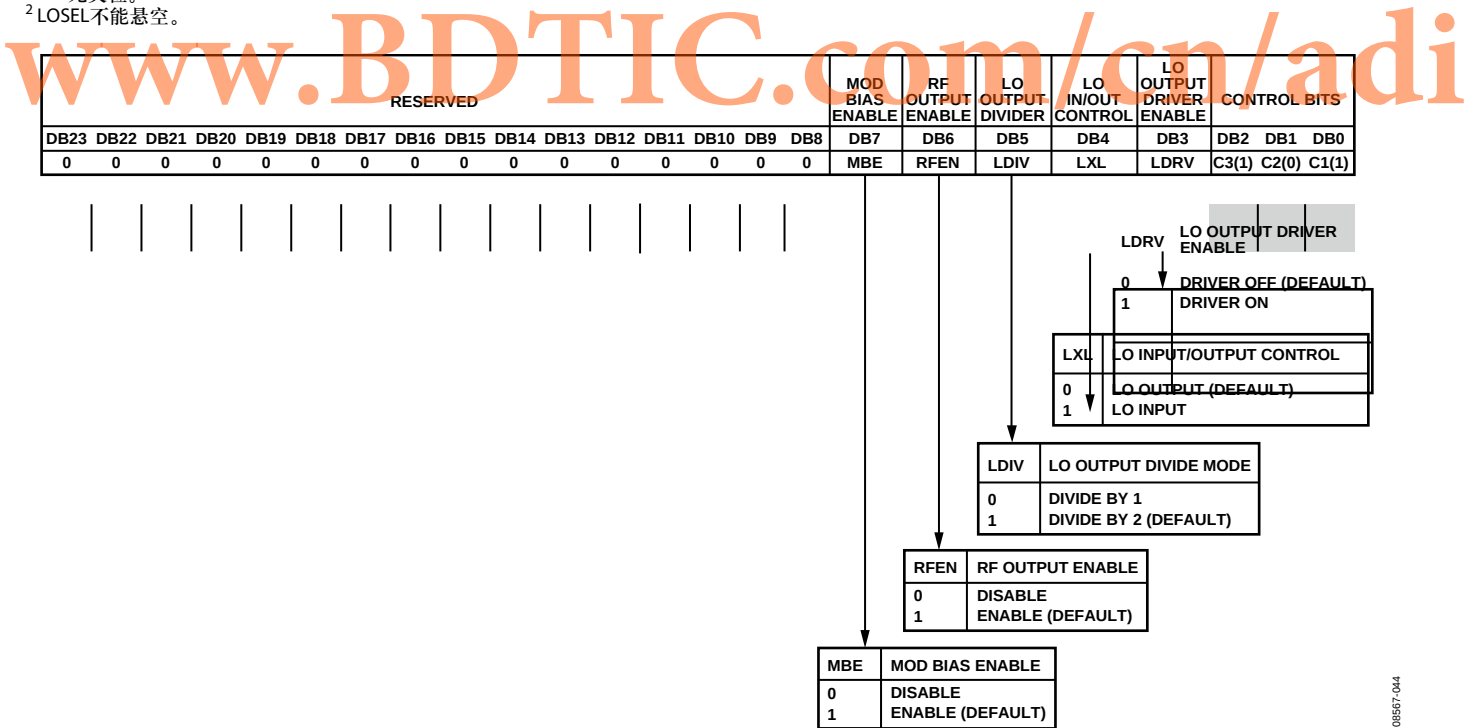


图46. 寄存器5—LO路径和调制器控制寄存器映射

LO端口也可以用作输出，以便引出2× LO或1× LO信号，并利用该信号驱动另一个混频器。LO端口提供的标称输出功率为3 dBm。

LO端口的工作模式由LOSEL引脚(3.3 V逻辑)的状态和多个内部寄存器的设置决定(参见表10)。

也可以旁路器件的内部VCO，这种情况下，电荷泵输出通过环路滤波器驱动外部VCO。VCO通过LO端口连接到器件以使环路闭合。

寄存器6的Bits[2:0]设置为110时，VCO控制和使能寄存器的编程方式如图47所示。

VCO调谐带一般由频带校准算法自动选择，但用户也可以利用寄存器6直接选择VCO调谐带。

VCO BSSRC bit (DB9)决定是利用校准算法的结果来选择VCO调谐带，还是根据VCO调谐带选择（DB8至DB3）的值来选择调谐带。

VCO幅度可以通过寄存器6进行控制。VCO幅度设置范围为0至63，默认值为8，推荐值为63。

内部VCO可以通过寄存器6予以禁用。

内部电荷泵可以通过寄存器6予以禁用。电荷泵默认使能。

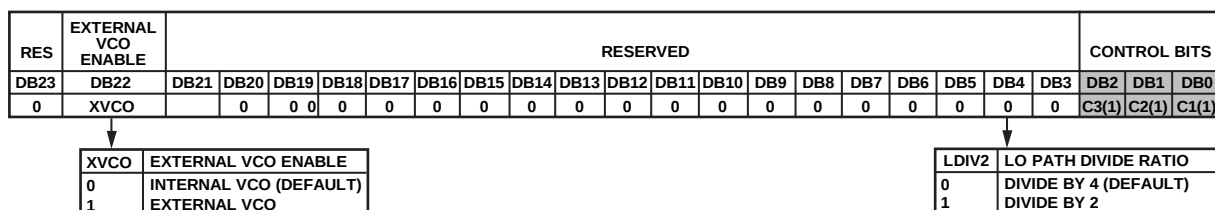
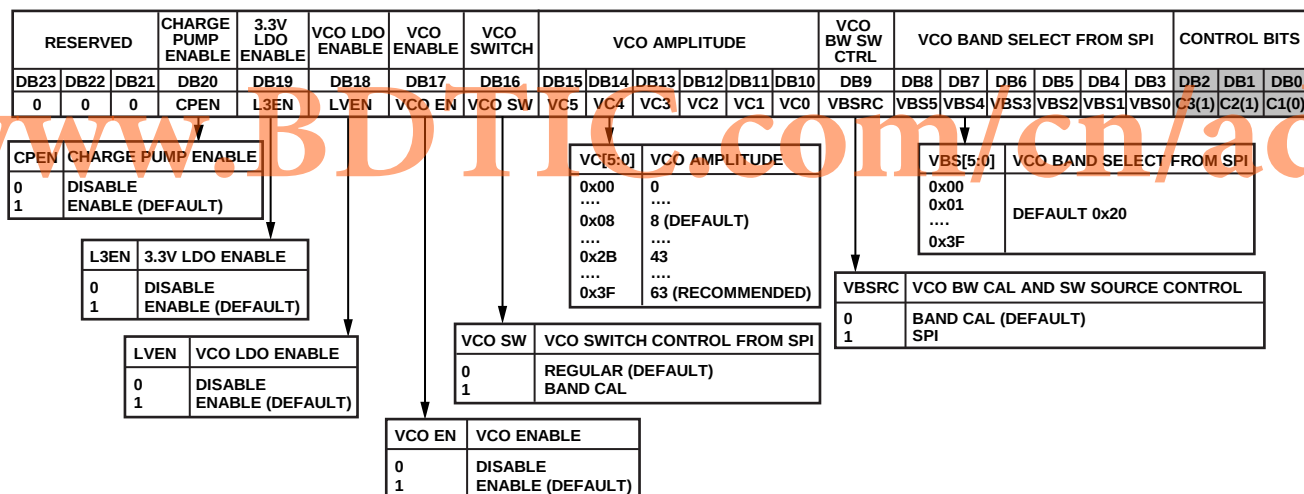
要关闭PLL（例如，[ADRF6701](#)由外部LO驱动时），请将寄存器6的Bits[20:17]设置为0。

寄存器7—外部VCO使能和第二个LO分频器

寄存器7的Bits[2:0]设置为111时，外部VCO控制寄存器的编程方式如图48所示。

外部VCO使能位置1时，可以在PLL中使用外部VCO来代替内部VCO，这在某些情况下是有利的，例如内部VCO不能提供所需的频率，或者内部VCO的相位噪声高于期望值时。将此bit（DB22）置1，并将寄存器6的Bits[15:10]设为0，就可以禁用内部VCO，并将外部VCO的输出以差分方式提供给器件的引脚38和引脚37（LOP和LON）。环路滤波器已经是外部器件，因此环路滤波器的输出只需连接到外部VCO的调谐电压引脚。

此外，寄存器7利用Bit DB4来对LO路径上的2分频模块进行控制。如果DB4设为1，那么2分频模块被旁路，此时可使用外部2x LO来驱动调制器。



ADRF6701

特性设置

图49和图50显示了用于表征ADRF6701的特性平台设置。图49所示的设置用于执行大部分测试。自动化VEE程序用于通过IEEE总线控制设备。该设置用于测量SSB、OIP2、OIP3、OP1dB、LO和USB NULL。

针对相位噪声和参考杂散测量，请使用图50所示的相位噪声设置。相位噪声在LO和调制器输出上测量。

ADRF670x TEST RACK ASSEMBLY (INTERNAL VCO CONFIGURATION)
ALL INSTRUMENTS ARE CONNECTED IN DAISY CHAIN FASHION VIA GBIP CABLE UNLESS OTHERWISE NOTED.

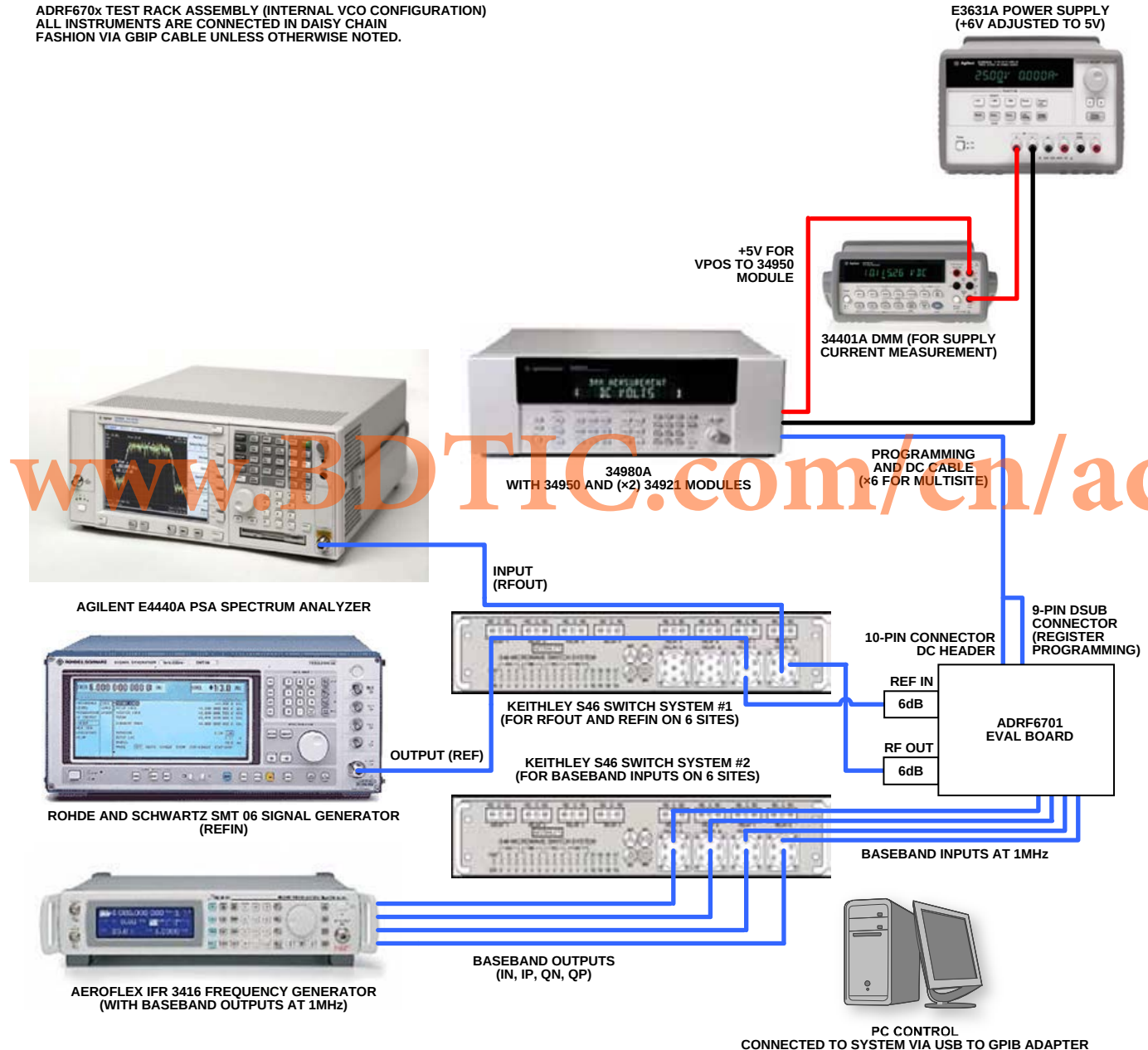


图49. 通用特性设置

ADRF670x PHASE NOISE STAND SETUP
ALL INSTRUMENTS ARE CONNECTED IN DAISY CHAIN FASHION
VIA GBIP CABLE UNLESS OTHERWISE NOTED.

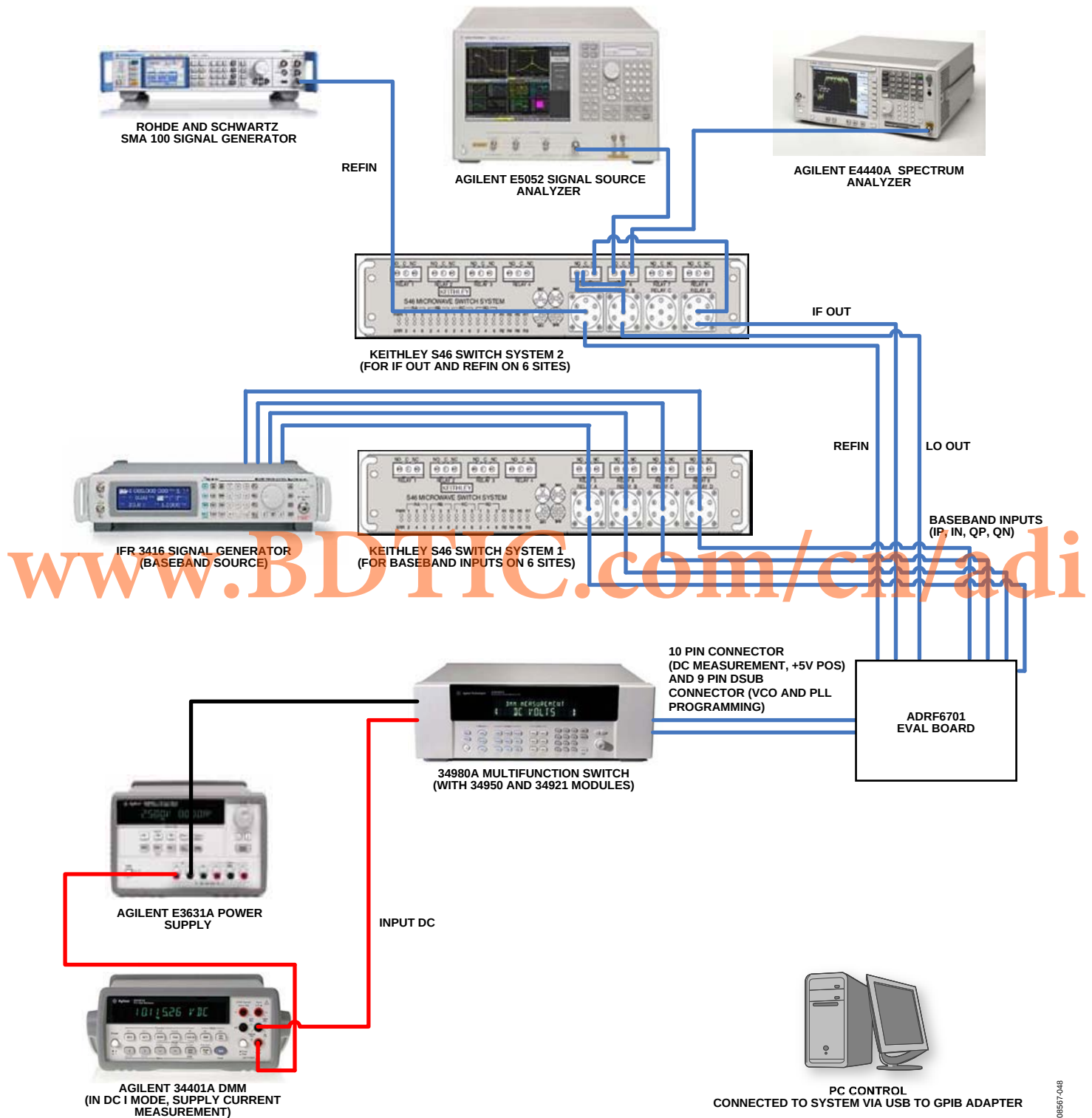


图50. 用于相位噪声和参考杂散测量的测试设置

ADRF6701

评估板

图52显示的是符合RoHS标准的器件评估板原理图。为将高频损耗降至最低，该板采用Rogers 4350材料设计。FR4材料也是不错的选择，但这种材料的走线损耗略高。

评估板上的USB接口电路直接由PC供电，但评估板的主要部分要求采用独立的5 V电源供电。

评估板设计采用器件的内部VCO(默认配置)或外部VCO工作。若使用外部VCO，应去除R62和R12，R63和R11应使用0 Ω 电阻。必须将一个从侧边引出的SMA连接器(Johnson 142-0701-851)焊接到标为VTUNE的焊盘。外部VCO的输入端应连接到VTUNE SMA连接器，VCO输出的一部分应连接到EXT LO SMA连接器。除了这些硬件变化之外，还必须更改内部寄存器设置(如“寄存器描述”部分所述)，以便支持利用外部VCO工作。

评估板的其他配置选项如表11所述。

ADRF6701的串行端口可以从PC的USB端口进行编程(评估板附带一根USB电缆)。需要时，可以旁路板上USB接口电路，方法是去除0 Ω 电阻R15、R17和R18(见图52)，并通过4引脚接头P3驱动ADRF6701串行接口(首先必须安装P3，其型号为Samtec TSW-104-08-G-S)。

评估板控制软件

基于USB的编程软件可在ADI公司网站(www.analog.com)的ADRF6701产品页面上下载(评估板软件6.1.0版)。要安装该软件，请下载并解压缩zip文件，然后运行以下安装文件：ADRF6X0X_6p1p0_customer_installer.exe。

要在Windows XP下正确运行软件，必须安装Microsoft .NET 3.5版。要在Windows 7 PC中运行软件，必须使用XP仿真模式(使用虚拟PC)。

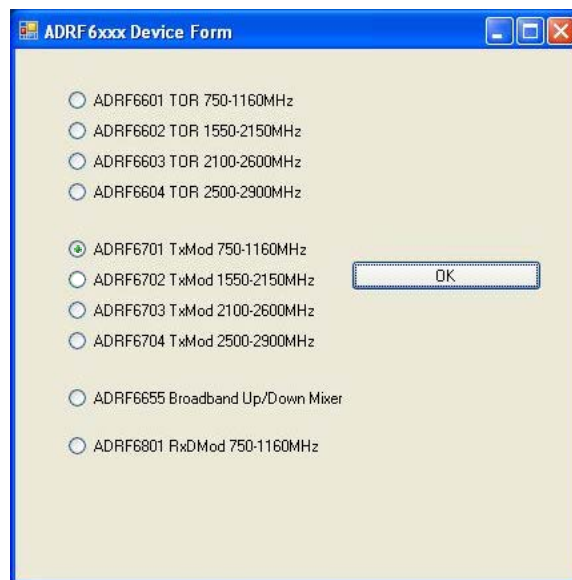
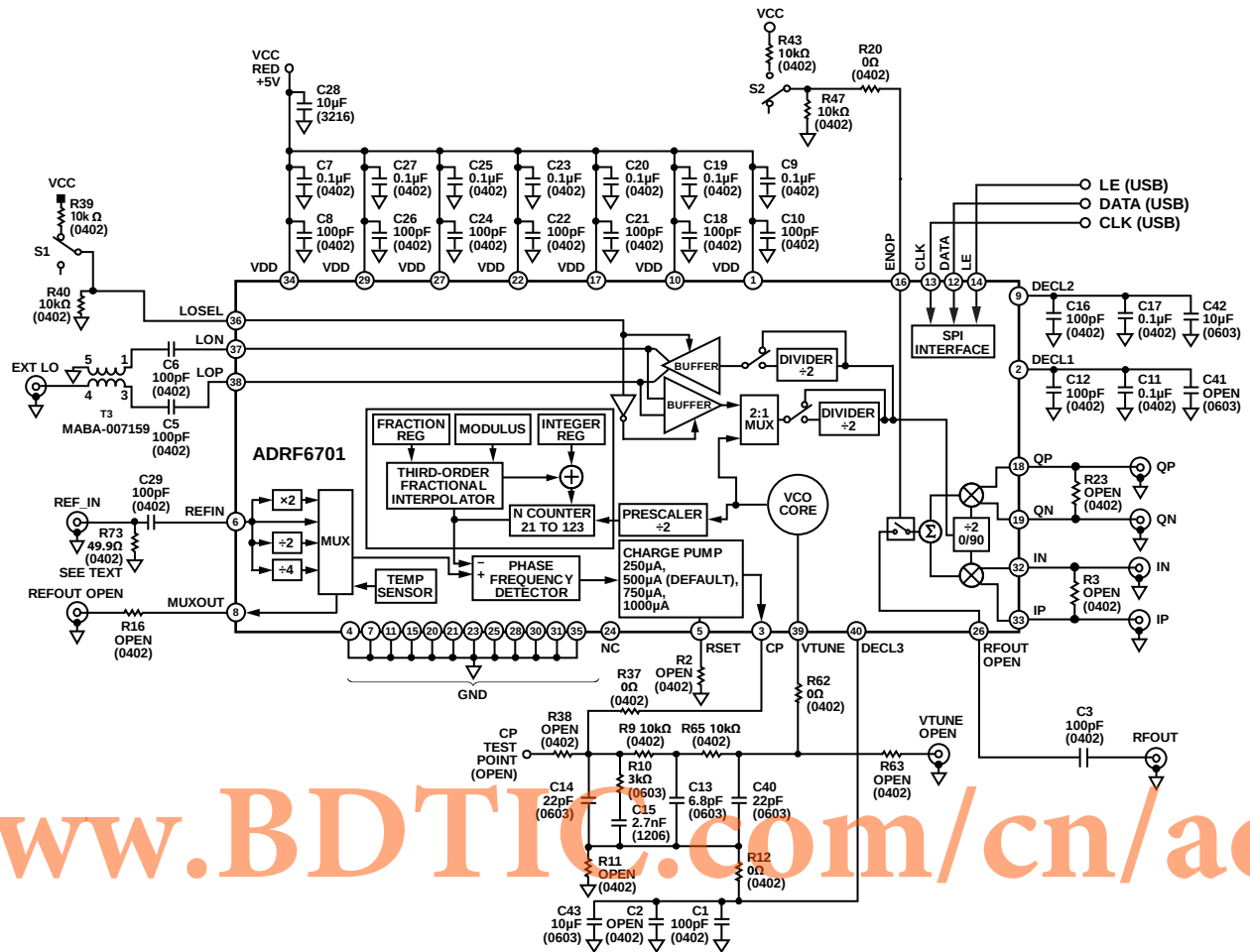


图51. 控制软件启动菜单

图51所示为该软件的启动窗口，用户可以选择要编程的器件。图55所示为控制软件主要控制选项及其默认设置的屏幕截图。左下角的文本框能够即时指示软件是否正在与评估板正常通信。如果评估板通过附带的USB电缆连接到PC，并且软件与板上USB电路正常通信，则该文本框将显示如下消息：**ADRF6X0X eval board connected**(ADRF6X0X评估板已连接)。



NOTES
1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

图52. 评估板原理图(环路滤波器设置为130 kHz)

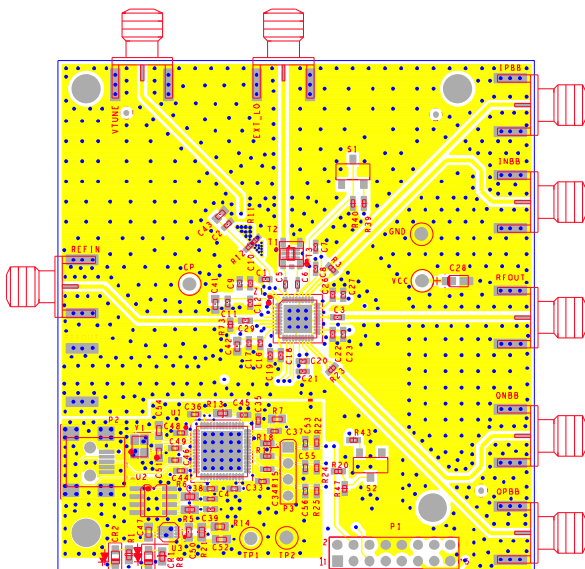


图53. 评估板顶层

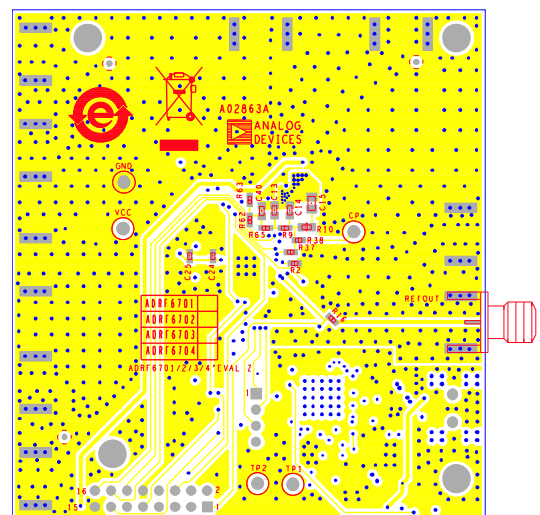


图54. 评估板底层

ADRF6701

表11. 评估板配置选项

元件	描述	默认状态/可选设置
S1, R39, R40	LO选择。开关和电阻用于使LOSEL引脚接地。LOSEL引脚设置与内部寄存器设置共同决定LOP/LON引脚用作输入还是输出。LOSEL引脚接地时，寄存器设置可以决定LOP/LON引脚用作输入还是输出。	
EXT LO, T3	LO输入/输出。可以将一个外部1×LO或2×LO施加于该单端输入连接器。或者，也可以通过该引脚引出内部1×LO或2×LO。使用一个宽带1:1巴伦(Macom MABA-007159，频率范围4.5 MHz至3000 MHz)将LOP和LON上的差分LO信号转换为单端信号。评估板上的巴伦位置也可以用于放置Johanson巴伦：3600BL14M050(1:1，3.3 GHz至3.9 GHz)和3700BL15B050E(1:1，3.4 GHz至4 GHz)。	T3 = Macom MABA-007159 EXT LO SMA连接器 = 已安装
REFIN SMA连接器，R73	基准输入。PLL的基准输入频率施加于此连接器。输入电阻由R73 (49.9 Ω)设置。	F _{REFIN} = 153.6 MHz R73 = 49.9 Ω
REFOUT SMA连接器，R16	多路复用器输出。REFOUT连接器直接连接到器件的MUXOUT引脚。板上多路复用器可用来引出下列信号：REFIN、2×REFIN、REFIN/2、REFIN/4、温度传感器输出电压(VPTAT)、锁定检测指示器。	REFOUT SMA连接器 = 开路 R16 = 开路
CP测试点，R38	电荷泵测试点。可以在该测试点探测未滤波的电荷泵信号。注意，在相位噪声等关键测量中，不应探测该引脚。	CP = 开路 R38 = 开路
C13, C14, C15, C40R9, R10, R37, R65	环路滤波器。环路滤波器元件。	见表8
R11, R12, R62, R63, VTUNE SMA连接器	内部和外部VCO。内部VCO使能时，通过在R62中安装0 Ω电阻，可以使环路滤波器元件直接连接到VTUNE引脚(引脚39)。此外，R12中应安装0 Ω电阻，使环路滤波器元件返回到引脚40 (DECL3)。若使用外部VCO，R62应断开，R63中应安装0 Ω电阻，VCO的电压输入应连接到VTUNE SMA连接器。VCO的输出通过LO IN/OUT SMA连接器引回PLL。此外，R11中应安装0 Ω电阻，使环路滤波器元件返回到接地。	R12 = 0 Ω (0402) R11 = 开路 (0402) R62 = 0 Ω (0402) R63 = 开路 (0402) VTUNE = 开路
R2	环路滤波器回路。	R2 = 开路(0402)
R23, R3	RSET。该引脚不使用，应保持断开。基带输入端接。DAC基带滤波器的端接电阻可以放在R23和R3上。除了端接基带滤波器以外，这些电阻还能降低来自DAC的基带电压，但不会改变偏置电平。这些电阻的阻值一般为100 Ω至300 Ω。	R3 = R23 = 开路(0402)
P3 4	USB电路旁路。可以旁路USB电路，以便直接驱动ADRF6701的串行端口。必须安装P3 (Samtec TSW-104-08-G-S)，同时必须去除0 Ω电阻(R15、R17和R18)。	P3 = 开路 R15, R17, R18 = 0 Ω (0402)

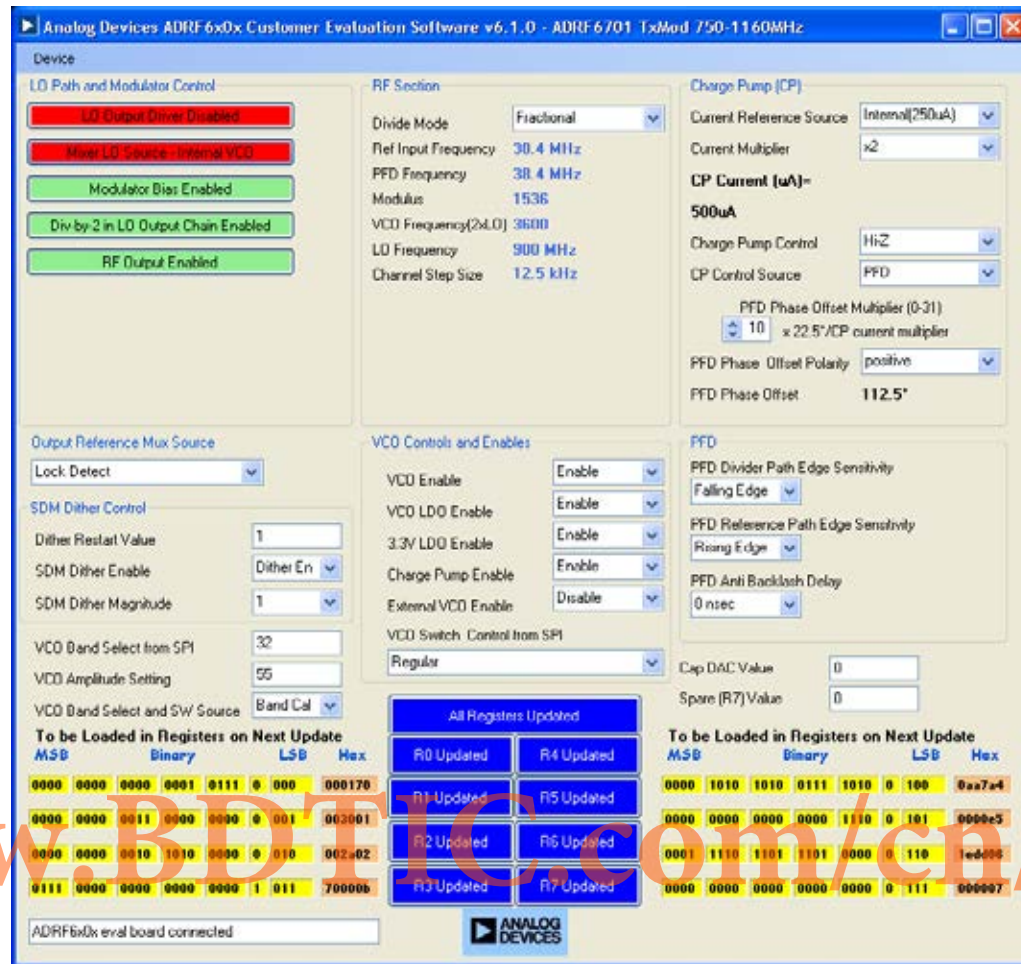
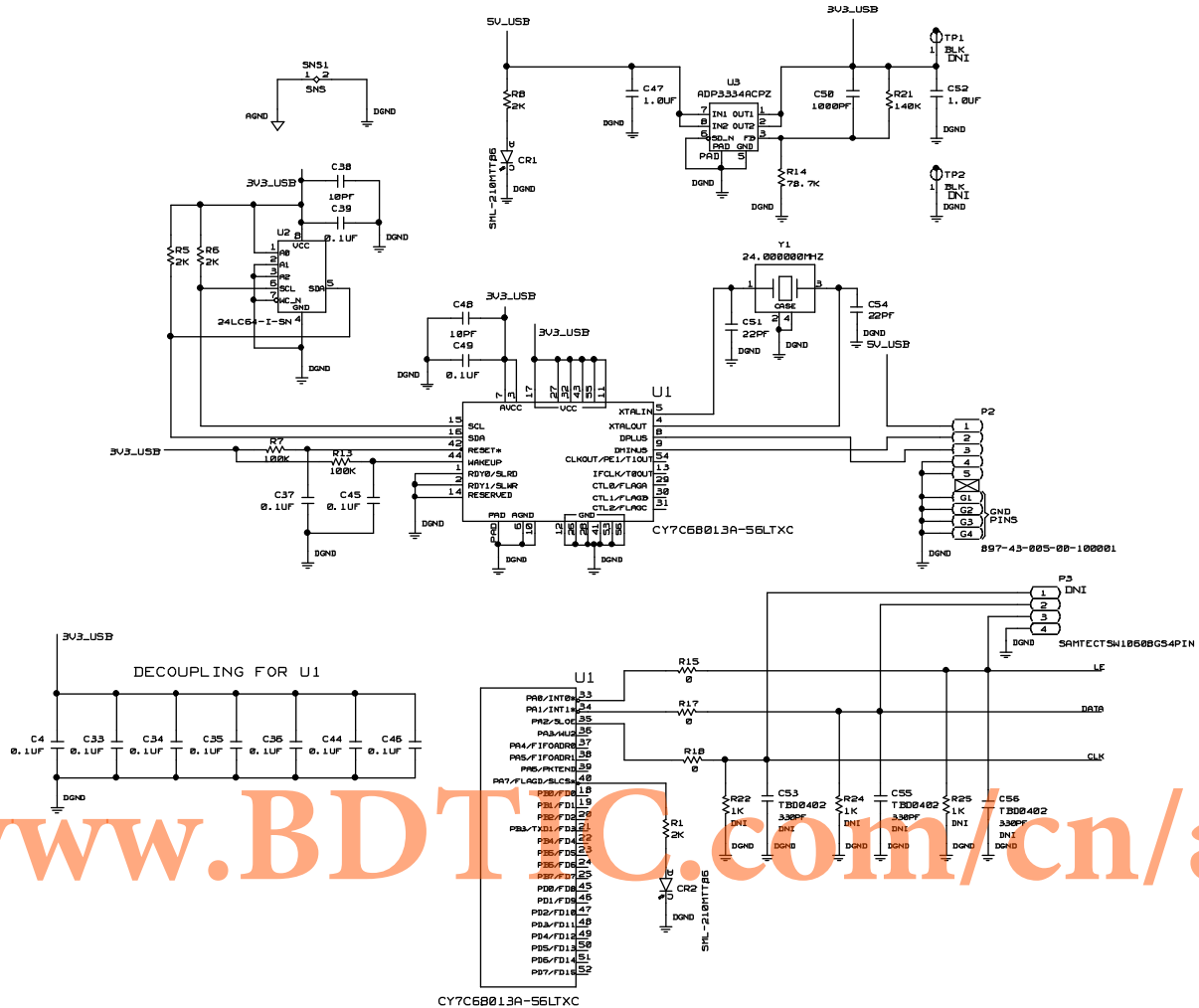


图55. 评估板控制软件的主要控制选项

ADRF6701

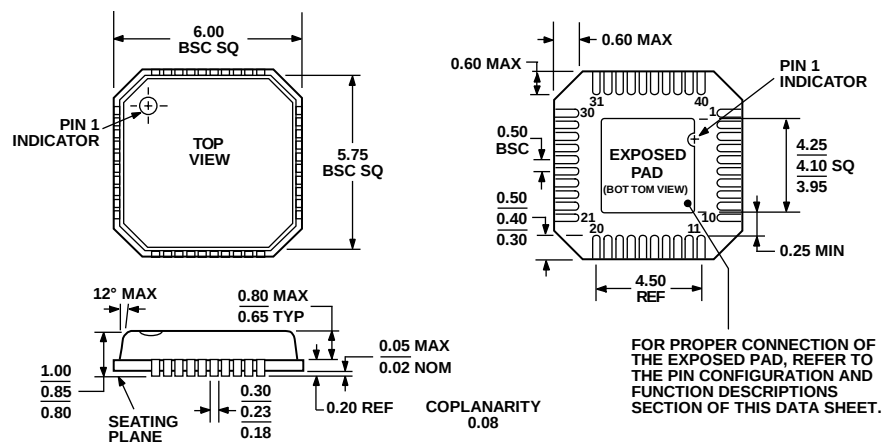


CY7C68013A-56LTXC

图56. 定制评估板上的USB接口电路

08567-054

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

图57. 40引脚引脚架构芯片级封装[LFCSP_VQ]
6 mm x 6 mm超薄四方体(CP-40-1)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围(°C)	封装描述	封装选项
ADRF6701ACPZ-R7	-40°C 至 +85°C	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-1
ADRF6701-EVALZ		评估板	

¹ Z = 符合RoHS标准的器件。

ADRF6701

注释

www.BDTIC.com/cn/adi